

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151269

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H05B 33/14  
G09F 9/30  
H05B 33/12  
H05B 33/22

(21)Application number : 2001-256687

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 27.08.2001

(72)Inventor : YAMAZAKI SHUNPEI  
NISHI TAKESHI  
MIZUKAMI MAYUMI  
IKEDA TOSHIO

(30)Priority

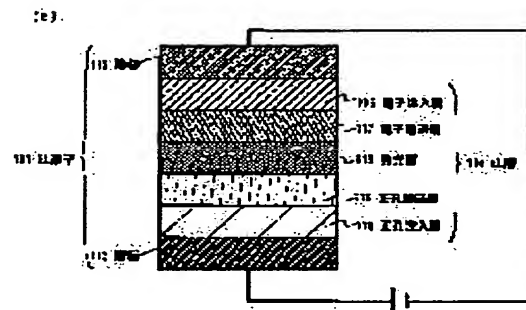
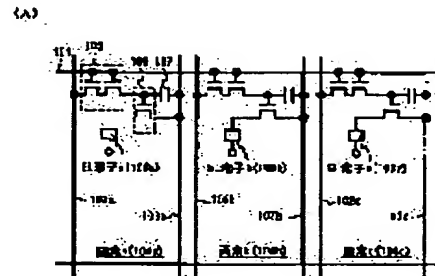
Priority number : 2000258260 Priority date : 28.08.2000 Priority country : JP

## (54) LIGHT-EMITTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To align light-emitting intensity of EL elements of different emission colors and enhance emission intensity of the EL elements in a pixel part of a light-emitting device.

SOLUTION: Emission intensity of EL elements formed in plural can be aligned by combining EL elements having EL layers including triplet compounds and EL elements having EL layers including singlet compounds at a pixel part. Further, EL elements of higher emission intensity can be formed by making hole transport layers in lamination structure.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151269

(P2002-151269A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) IntCl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 5 B 33/14		H 0 5 B 33/14	B 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z
H 0 5 B 33/12		H 0 5 B 33/12	B
33/22		33/22	B

審査請求 未請求 請求項の数15 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2001-256687 (P2001-256687)

(22) 出願日 平成13年8月27日 (2001.8.27)

(31) 優先権主張番号 特願2000-258260 (P2000-258260)

(32) 優先日 平成12年8月28日 (2000.8.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 西 毅  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 水上 真由美  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

最終頁に続く

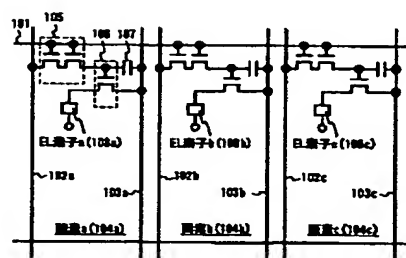
(54) 【発明の名称】 発光装置

(57) 【要約】 (修正有)

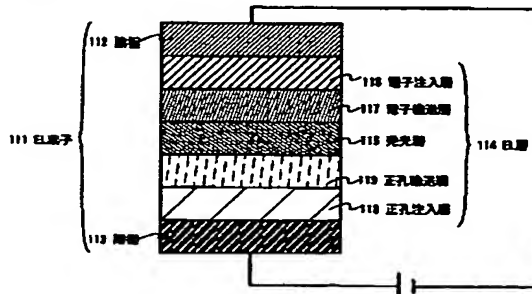
【課題】 発光装置の画素部において、発光色の異なるEL素子の発光輝度をそろえ、さらにEL素子の発光輝度を上げることが目的とする。

【解決手段】 発光装置の画素部にトリプレット化合物を含むEL層を有するEL素子とシングレット化合物を含むEL層を有するEL素子とを組み合わせ形成することにより、複数形成されたEL素子の発光輝度をそろえることができる。さらに正孔輸送層を積層構造にすることでより発光輝度の高いEL素子を形成することができる。

(A)



(B)



## 【特許請求の範囲】

【請求項 1】基板上の画素部に複数の EL 素子を有する発光装置において、前記複数の EL 素子は、トリブレット化合物を含む EL 層を有する EL 素子を少なくとも一つ有し、前記 EL 層は、複数の正孔輸送層を有することを特徴とする発光装置。

【請求項 2】基板上の画素部に複数の EL 素子を有する発光装置において、前記複数の EL 素子は、トリブレット化合物を含む第 1 の EL 層を有する第 1 の EL 素子、及びシングレット化合物を含む第 2 の EL 層を有する第 2 の EL 素子とをそれぞれ少なくとも一つ有し、前記第 1 及び前記第 2 の EL 層は、複数の正孔輸送層を有することを特徴とする発光装置。

【請求項 3】基板上の画素部に複数の EL 素子を有する発光装置において、前記複数の EL 素子は、トリブレット化合物を含む第 1 の EL 層を有する第 1 の EL 素子、及びシングレット化合物を含む第 2 の EL 層を有する第 2 の EL 素子とを有し、前記第 1 の EL 素子は、陽極と接して形成された正孔注入層と、前記正孔注入層と接して形成された正孔輸送層と、前記正孔輸送層と接して形成された発光層と、前記発光層と接して形成された正孔阻止層と、前記正孔阻止層と接して形成された電子輸送層と、前記電子輸送層と接して形成された陰極を有する発光装置であって、前記正孔輸送層を複数有することを特徴とする発光装置。

【請求項 4】請求項 3 において、前記正孔注入層は銅フタロシアニンを含む層からなり、前記正孔輸送層は MT DATA を含む層及び  $\alpha$ -NPD を含む層からなり、前記発光層は CBP 及び Ir(pppy)<sub>3</sub> を含む層からなり、前記正孔阻止層は BCP を含む層からなり、前記電子輸送層は Alq<sub>3</sub> を含む層からなることを特徴とする発光装置。

【請求項 5】請求項 2 または請求項 3 において、前記第 1 の EL 素子は、青色に発光し、前記第 2 の EL 素子は、青色または緑色に発光することを特徴とする発光装置。

【請求項 6】請求項 2 または請求項 3 において、前記第 1 の EL 素子は、青色に発光し、前記第 2 の EL 素子は、赤色または緑色に発光することを特徴とする発光装置。

【請求項 7】請求項 2 または請求項 3 において、前記第 1 の EL 素子は、緑色に発光し、前記第 2 の EL 素子は、赤色または青色に発光することを特徴とする発光装置。

【請求項 8】請求項 2 または請求項 3 において、前記第 1 の EL 素子は、赤色または青色に発光し、前記第 2 の EL 素子は、緑色に発光することを特徴とする発光装置。

【請求項 9】請求項 2 または請求項 3 において、前記第 1 の EL 素子は、赤色または緑色に発光し、前記第 2 の

EL 素子は、青色に発光することを特徴とする発光装置。

【請求項 10】請求項 2 または請求項 3 において、前記第 1 の EL 素子は、青色または緑色に発光し、前記第 2 の EL 素子は、赤色に発光することを特徴とする発光装置。

【請求項 11】請求項 1 乃至請求項 3 のいずれかにおいて、前記正孔輸送層は、2～4 層の積層構造を有することを特徴とする発光装置。

【請求項 12】請求項 1 乃至請求項 11 のいずれかにおいて、前記正孔輸送層は、MT DATA を含む層と  $\alpha$ -NPD を含む層とを有することを特徴とする発光装置。

【請求項 13】請求項 12 において、前記  $\alpha$ -NPD を含む層は、発光層と前記 MT DATA を含む層とに挟まれて形成されていることを特徴とする発光装置。

【請求項 14】請求項 1 乃至請求項 13 のいずれかにおいて記載の発光装置を用いたことを特徴とする電気器具。

【請求項 15】請求項 1 乃至請求項 14 のいずれかにおいて、前記発光装置は、表示装置、ビデオカメラ、ヘッドマウントディスプレイ、記録媒体を備えた画像再生装置、ゴーグル型ディスプレイ、パーソナルコンピュータ、携帯電話、音響再生装置、デジタルカメラ、から選ばれた一種であることを特徴とする発光装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電極間に発光性材料を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）に関する。特に発光性材料として EL（Electro Luminescence）が得られる有機化合物を用いた発光素子（以下、EL 素子という）を有する発光装置に関する。

## 【0002】

【従来の技術】近年、陽極と陰極との間に EL が得られる有機化合物からなる薄膜（EL 層）を挟んだ構造を有する EL 素子の研究が進み、EL 素子の発光特性を利用した発光装置の開発が進められている。

【0003】なお、EL 層は通常、積層構造となっており、代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている EL ディスプレイは殆どこの構造を採用している。

【0004】また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0005】本明細書において陰極と陽極の間に設けられる全ての層を総称して EL 層と呼ぶ。よって上述した

10

20

30

40

50

正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

【0006】そして、上記構造でなるEL層に一对の電極から所定の電圧をかけると、発光層においてキャリアの再結合が起こり、発光が得られる。なお本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0007】EL素子においては、駆動電圧が高くなるとEL層の劣化が促進されることから、通常の発光材料である、一重項励起子（シングレット）により発光する有機化合物（以下、シングレット化合物という）の他に、低い駆動電圧で高い発光輝度が得られる三重項励起子（トリプレット）により発光する有機化合物（以下、トリプレット化合物という）が知られている。

【0008】なお、本明細書中において、シングレット化合物とは一重項励起のみを経由して発光する化合物を指し、トリプレット化合物とは三重項励起を経由して発光する化合物を指す。

【0009】

【発明が解決しようとする課題】EL素子における発光輝度は、EL層に印加される電圧によって制御されているが、EL層中の発光層を形成する発光材料によって、電圧に対する発光輝度は異なる。つまり、発光輝度の低い発光材料を用いた場合には、より高い輝度を得るために高電圧をかける必要が生じる。しかし、高電圧をかけると発光材料が劣化するという問題がある。さらに、同一基板上に形成されるEL素子が電圧ごとに異なる発光輝度を示す場合には、輝度をそろえるために異なる電圧をかけることになり、結果的にEL素子の寿命に差が出るなどの問題が生じる。

【0010】

【課題を解決するための手段】本発明は、上記課題を解決するためになされたものであり、低い電圧で所望の発光輝度が得られる寿命の長いEL素子を形成する。

【0011】本発明は、同一基板上の画素部に複数形成されるEL素子のうちで、発光輝度の低い発光材料（シングレット化合物）を含むEL層を有するEL素子だけでなく、低い電圧で高い発光輝度が得られるトリプレット化合物を含むEL層を有するEL素子をうまく組み合わせて用いることで、EL素子の低消費電力化だけでなく、複数のEL素子の発光輝度を制御し、そろえることを可能にする。

【0012】図1（A）に本発明で利用することのできる画素部の回路構成を示す。101は、ゲート配線であり、102a～102cは、ソース配線、103a～103cは、電流供給線である。そして、これらの配線に囲まれた領域に3つの画素a（104a）、画素b（104b）及び画素c（104c）がそれぞれ形成されている。

【0013】また、105はスイッチングトランジスタ

であり、3つの画素にそれぞれ形成されている。なお、ここではソース領域とドレイン領域との間に二つのチャネル形成領域を有した構造を例示しているが、二つ以上もしくは一つであっても構わない。

【0014】また、106は電流制御トランジスタであり、各画素においてゲートはスイッチングトランジスタに、ソースは電流供給線に、ドレインはEL素子に接続される。なお、107はコンデンサであり、電流制御トランジスタ106のゲートに印加される電圧を保持する。但し、コンデンサ107は省略することも可能である。

【0015】また、画素a（104a）、画素b（104b）及び画素c（104c）は、EL素子a（108a）、EL素子b（108b）及びEL素子c（108c）をそれぞれ有している。

【0016】なお、これらのEL素子は、図1（B）に示すような素子構造を有している。EL素子111は、陰極112、陽極113及びEL層114から形成され、陰極112又は、陽極113に電圧がかけられることにより、EL層114が発光する。

【0017】EL層114は複数の層からなり、発光材料からなる発光層115、陰極112と発光層115に挟まれて、陰極からの電子の注入性を良くするための電子注入層116、さらに注入された電子を発光層115に輸送する役割を持つ電子輸送層117が形成される。

【0018】また、陽極113と発光層115に挟まれて、陽極からの正孔（ホール）の注入性を良くするための正孔注入層118、さらに注入された正孔を発光層115に輸送する役割を持つ正孔輸送層119が形成される。

【0019】なお、通常、陰極112から注入された電子と陽極113から注入された正孔が発光層115で再結合することにより発光が得られるが、本発明は、より発光輝度を高めるために正孔輸送層を設ける構造である。つまり、陰極112、陽極113、発光層115及び正孔輸送層以外の層は必要に応じて設ければよい。

【0020】本発明においては、図1（B）に示すEL層114のうち、発光層115にトリプレット化合物を用いたEL素子または、シングレット化合物を用いたEL素子を形成する。そして、図1（A）に示す画素a～画素c（104a～104c）にこれらのEL素子を組み合わせて形成することにより、複数のEL素子の発光輝度をそろえたり、特定のEL素子のみの劣化を防いだりすることができる。

【0021】例えば、3色の画素表示を行う場合に、画素a（104a）を表示する色の発光材料の発光輝度が他の2色を表示する画素b（104b）や画素c（104c）に比べて低かった場合には、EL素子a（108a）の発光層にトリプレット化合物を用い、その他のEL素子の発光層には、シングレット化合物を用いる。

10

20

30

40

50

【0022】又、2種類の画素a(104a)及び画素b(104b)を表示する色の発光輝度が、1種類の画素c(104c)を表示する色の発光輝度に比べて低かった場合には、2種類のEL素子a(108a)及びEL素子b(108b)の発光層にトリプレット化合物を用い、EL素子c(108c)の発光層にはシングレット化合物を用いる。

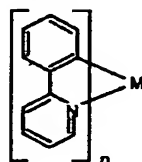
【0023】さらに、3種類の画素a(104a)、画素b(104b)及び画素c(104c)のいずれとも発光輝度が低く、より低電圧で高い発光輝度を得たい場合には、3種類のEL素子a(108a)、EL素子b(108b)及びEL素子c(108c)の全ての発光層にトリプレット化合物を用いればよい。

【0024】なお、トリプレット化合物としては、以下の論文に記載の有機化合物が代表的な材料として挙げられる。

(1) T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.

(2) M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, 20 S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.

(3) M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Tho\*



【式中、Mは周期表の8～10族に属する元素を表し、n=2または3である】

【0028】上記化学式において、Mは周期表の8～10族に属する元素であり、nは2または3である。上記論文では、白金、イリジウムが用いられている。さらにニッケル、コバルトもしくはバラジウムは、白金やイリジウムとその物理的特性が類似しているために好ましい。特に、ニッケルは錯体を形成しやすいことから中心金属として好ましい。

【0029】その他にもユーロビウムや、テルビウム、セリウムといった希土類元素のイオンが、配位子と構成する希土類錯体もトリプレット化合物として用いることが可能である。

【0030】上記トリプレット化合物は、シングレット化合物よりも発光効率が高いことから、同じ発光輝度を得るにも動作電圧(EL素子を発光させるに要する電圧)を低くすることが可能である。

【0031】さらに、本発明では、図2に示すように陽極と発光層125との間に複数の正孔輸送層を設けることで、陽極から注入されたキャリア(電子及び正孔)の移動性を高めることを可能とした。なお、本明細書中では、正孔輸送層を積層にする場合についてのみ示してい

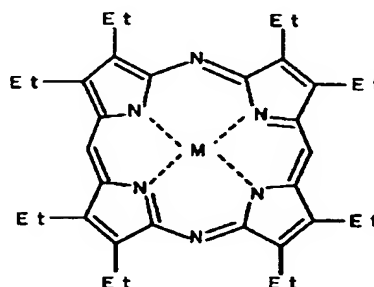
\* mpson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.

(4) T.Tsutsui, M.J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayauchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.

【0025】また、上記論文に記載された発光性材料だけでなく、次の分子式で表される発光性材料(具体的には金属錯体もしくは有機化合物)を用いることが可能であると考えられる。

【0026】

10 【化1】



【式中、Etはエチル基、  
Mは周期表の8～10族に属する元素を表す】

【0027】

【化2】

るが、電子輸送層についても正孔輸送層と同様に、陰極と電子輸送層の間にさらにエネルギー準位(LUMO準位)の差を小さくするような化合物を用いることで本発明を実施することができる。

【0032】図2(A)には、図1(B)と同様のEL素子の構造を示す。陰極123と陽極124との間に発光層125を有し、さらに、陰極123と発光層125の間に電子注入層126および電子輸送層127を有し、陽極124と発光層125との間に正孔注入層128及び正孔輸送層1(129)を有している。

【0033】これに対して、図2(B)は、正孔輸送層1(129)と正孔注入層128との間に正孔輸送層2(130)をもう1層挟んだ積層構造になっている。

【0034】また、これらの積層構造は、図2(C)のバンド構造で示すことができる。なおここでは、図2(A)及び図2(B)で用いたのと同様の符号を用いる。つまり、正孔輸送層1(129)と正孔注入層128との間に、正孔輸送層2(130)を形成した積層構造とすることで、正孔注入層と正孔輸送層との間のHOMO準位の差を小さくすることができる。これにより正

孔注入層と正孔輸送層との間での正孔の移動が容易になり、結果として、低電圧でのEL素子の高輝度化が達成される。

【0035】なお、ここでは、例として正孔輸送層1(129)及び正孔輸送層2(130)からなる積層構造で形成されている様子を示すが、これらの積層構造は、先に述べたように正孔注入層と正孔輸送層との間のHOMO準位の差を小さくすることができるのであれば、正孔輸送層は2層以上の異なる材料から形成されていても良いが、2層～5層の積層構造であることが好ましい。

【0036】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例を用いて詳細な説明を行うこととする。

【0037】

【実施例】【実施例1】本実施例では、画素部とその周辺に設けられる駆動回路を同一の絶縁体上に製造する方法について説明する。但し、説明を簡単にするために、駆動回路に関してはnチャネル型トランジスタとpチャネル型トランジスタを組み合わせたCMOS回路を図示することとする。

【0038】まず、図3(A)に示すように、絶縁体としてガラス基板201を用意する。本実施例ではガラス基板201の両面(表面および裏面)に図示しない保護膜(炭素膜、具体的にはダイヤモンドライクカーボン膜)を設けている。また、可視光を透過する材料であればガラス以外の材料(例えばプラスチック)を用いても良い。

【0039】次にガラス基板201上に下地膜202を300nmの厚さに形成する。本実施例では下地膜202として窒化酸化珪素膜を積層して用いる。この時、ガラス基板201に接する層の窒素濃度を10～25wt%としておき、他の層よりも高めに窒素を含有させると良い。

【0040】次に下地膜202の上に50nmの厚さの非晶質珪素膜(図示せず)をスパッタ法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。非晶質半導体膜としては非晶質珪素膜もしくは非晶質シリコンゲルマニウム膜(ゲルマニウムを $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>2</sup>の濃度で含むシリコン膜)を用いることができる。また、膜厚は20～100nmの厚さであれば良い。

【0041】そして、公知のレーザー結晶化法を用いて非晶質珪素膜の結晶化を行い、結晶質珪素膜203を形成する。なお、本実施例では固体レーザー(具体的にはNd:YAGレーザーの第2高調波)を用いるが、エキシマレーザーを用いても良い。また、結晶化方法はファーンズアニール法を用いても良い。

【0042】次に、図3(B)に示すように、結晶質珪

素膜203を1回目のフォトリソグラフィ工程によりエッチングして島状の結晶質珪素膜204～207を形成する。これらは後にトランジスタの活性層となる結晶質珪素膜である。

【0043】なお、本実施例ではトランジスタの活性層として結晶質珪素膜を用いているが、非晶質珪素膜を活性層として用いることも可能である。

【0044】ここで本実施例では、島状の結晶質珪素膜204～207上に酸化珪素膜からなる保護膜(図示せず)を130nmの厚さにスパッタ法で形成し、半導体をp型半導体とする不純物元素(以下、p型不純物元素という)を島状の結晶質珪素膜204～207に添加する。p型不純物元素としては周期表の13族に属する元素(典型的にはボロンもしくはガリウム)を用いることができる。なお、この保護膜は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするため、微妙な濃度制御を可能にするために設ける。

【0045】また、このとき添加されるp型不純物元素の濃度は、 $1 \times 10^{11} \sim 5 \times 10^{17}$  atoms/cm<sup>2</sup>(代表的には $1 \times 10^{14} \sim 1 \times 10^{17}$  atoms/cm<sup>2</sup>)とすれば良い。この濃度で添加されたp型不純物元素はnチャネル型トランジスタのしきい値電圧の調節に用いられる。

【0046】次に、島状の結晶質珪素膜204～207の表面を洗浄する。まず、オゾンを含む純水を用いて表面を洗浄する。その際、表面に薄い酸化膜が形成されるため、さらに1%に希釈したフッ酸水溶液を用いて薄い酸化膜を除去する。この処理により島状の結晶質珪素膜204～207の表面に付着した汚染物を除去できる。このときオゾンの濃度は6mg/L以上とすることが好ましい。これら一連の処理は大気開放することなく行われる。

【0047】そして、島状の結晶質珪素膜204～207を覆ってゲート絶縁膜208を形成する。ゲート絶縁膜208としては、10～150nm、好ましくは50～100nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では80nm厚の窒化酸化珪素膜を用いる。

【0048】本実施例では、島状の結晶質珪素膜204～207の表面洗浄からゲート絶縁膜208の形成までを大気開放することなく行い、半導体膜とゲート絶縁膜の界面における汚染物および界面準位の低減を図っている。この場合、洗浄室とスパッタ室とを少なくとも有したマルチチャンバー方式(もしくはインライン方式)の装置を用いれば良い。

【0049】次に、第1の導電膜209として30nm厚の窒化タンタル膜を形成し、さらに第2の導電膜210として370nmのタングステン膜を形成する。他にも第1の導電膜としてタングステン膜、第2の導電膜としてアルミニウム合金膜を用いる組み合わせ、または第1の導電膜としてチタン膜、第2の導電膜としてタング

ステン膜を用いる組み合わせを用いても良い。

【0050】これらの金属膜はスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。また、タングステンターゲットの純度を99.9999%とすることで、抵抗率が $20\text{ m}\Omega\text{ cm}$ 以下の低抵抗なタングステン膜を形成することができる。

【0051】また、前述の半導体204~207の表面洗浄から第2の導電膜210の形成までを大気開放することなく行うことも可能である。この場合、洗浄室、絶縁膜を形成するスパッタ室および導電膜を形成するスパッタ室を少なくとも有したマルチチャンバー方式（もしくはインライン方式）の装置を用いれば良い。

【0052】次に、レジスト211a~211eを形成し、第2の導電膜210をエッチングする。このエッチング条件は、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）を用いたドライエッチングにより行うことが好ましい。エッチングガスとしては四フッ化炭素（ $\text{CF}_4$ ）ガスと塩素（ $\text{Cl}_2$ ）ガスと酸素（ $\text{O}_2$ ）との混合ガスを用いる。

【0053】典型的なエッチング条件としては、ガス圧力を $1\text{ Pa}$ とし、この状態でコイル型の電極に $500\text{ W}$ のRF電力（ $13.56\text{ MHz}$ ）を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として $150\text{ W}$ のRF電力（ $13.56\text{ MHz}$ ）を印加して、負の自己バイアスが基板に加わるようにする。また、このとき各ガスの流量は、四フッ化炭素ガスを $2.5 \times 10^{-3}\text{ m}^3/\text{min}$ 、塩素ガスを $2.5 \times 10^{-3}\text{ m}^3/\text{min}$ 、酸素ガスを $1.0 \times 10^{-3}\text{ m}^3/\text{min}$ とすると良い（図3（C））。

【0054】これにより第2の導電膜（タングステン膜）210が選択的にエッチングされ、第2の導電膜からなる電極212~216が形成される。第2の導電膜210が選択的にエッチングされる理由は、エッチングガスに酸素が加わることで第1の導電膜（窒化タンタル膜）のエッチングの進行が極端に遅くなるためである。

【0055】なお、ここで第1の導電膜209を残しておくには理由がある。このとき第1の導電膜をも一緒にエッチングすることは可能であるが、第1の導電膜をエッチングしてしまうと、同工程でゲート絶縁膜208もエッチングされて膜減りしてしまう。このときゲート絶縁膜208の膜厚が $100\text{ nm}$ 以上ならば問題とならないが、それ以下の厚さではその後の工程中にゲート絶縁膜208の一部が除去され、その下の半導体膜が露出し、トランジスタのソース領域もしくはドレイン領域となる半導体膜まで除去されてしまうことが起こりうるからである。

【0056】しかしながら、本実施例のように第1の導電膜209を残しておくことで上記問題を解決することができる。

【0057】次に、レジスト211a~211eおよび電極212~216をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。このときリンは第1の導電膜209を貫通して添加される。こうして形成される不純物領域217~225にはn型不純物元素が $1 \times 10^{19} \sim 1 \times 10^{21}\text{ atoms/cm}^2$ （代表的には $2 \times 10^{19} \sim 5 \times 10^{19}\text{ atoms/cm}^2$ ）の濃度で含む。

【0058】次に、レジスト211a~211eをマスクとして、第1の導電膜209のエッチングを行う。このエッチングは、ICPを用いたドライエッチング法により行い、エッチングガスとしては四フッ化炭素（ $\text{CF}_4$ ）ガスと塩素（ $\text{Cl}_2$ ）ガスとの混合ガスを用いる。典型的なエッチング条件は、ガス圧力を $1\text{ Pa}$ とし、この状態でコイル型の電極に $500\text{ W}$ のRF電力（ $13.56\text{ MHz}$ ）を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として $20\text{ W}$ のRF電力（ $13.56\text{ MHz}$ ）を印加して、負の自己バイアスが基板に加わるようにする。また、このとき各ガスの流量は、四フッ化炭素ガスを $3.0 \times 10^{-3}\text{ m}^3/\text{min}$ 、塩素ガスを $3.0 \times 10^{-3}\text{ m}^3/\text{min}$ とすると良い。こうして、第1の導電膜からなる電極226~230が形成される（図3（D））。

【0059】次に、図3（E）に示すように、レジスト211a~211gをそのまま用いて第2の導電膜からなる電極212~216を選択的にエッチングする。このエッチングは、ICPを用いたドライエッチング法で行い、エッチングガスとしては四フッ化炭素（ $\text{CF}_4$ ）ガスと塩素（ $\text{Cl}_2$ ）ガスと酸素（ $\text{O}_2$ ）との混合ガスを用いる。典型的なエッチング条件は、ガス圧力を $1\text{ Pa}$ とし、この状態でコイル型の電極に $500\text{ W}$ のRF電力（ $13.56\text{ MHz}$ ）を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として $20\text{ W}$ のRF電力（ $13.56\text{ MHz}$ ）を印加して、負の自己バイアスが基板に加わるようにする。また、このとき各ガスの流量は、四フッ化炭素ガスを $2.5 \times 10^{-3}\text{ m}^3/\text{min}$ 、塩素ガスを $2.5 \times 10^{-3}\text{ m}^3/\text{min}$ 、酸素ガスを $1.0 \times 10^{-3}\text{ m}^3/\text{min}$ とすると良い。この酸素の存在により窒化タンタル膜のエッチングレートが抑制される。こうして第2のゲート電極231~235が形成される。

【0060】次に、n型不純物元素（本実施例ではリン）を添加する。この工程では第2のゲート電極231~235がマスクとして機能し、第1の導電膜からなる電極226~230の一部を貫通してリンが添加され、リンを $2 \times 10^{19} \sim 5 \times 10^{19}\text{ atoms/cm}^2$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{19}\text{ atoms/cm}^2$ ）の濃度で含むn型不純物領域236~245が形成される。

【0061】また、ここでの添加条件は、リンが第1の導電膜およびゲート絶縁膜を貫通して島状の結晶質珪素膜に到達するよう加速電圧を $70 \sim 120\text{ kV}$ （本実施



例では90kV)と高めに設定する。

【0062】次に、図4(A)に示すように、第1の導電膜からなる電極226~230をエッチングして第1のゲート電極246~250を形成する。このエッチングは、ICPを用いたドライエッチング法もしくはRIE(Reactive Ion Etching)モードによるドライエッチング法により行い、エッチングガスとしては四フッ化炭素(CF<sub>4</sub>)ガスと塩素(Cl<sub>2</sub>)ガスとの混合ガスを用いる。典型的なエッチング条件は、ガス圧力を1Paとし、この状態でコイル型の電極に500WのRF電力(13.56MHz)を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として20WのRF電力(13.56MHz)を印加して、負の自己バイアスが基板に加わるようにする。また、このとき各ガスの流量は、四フッ化炭素ガスを2.5×10<sup>-3</sup>m<sup>3</sup>/min、塩素ガスを2.5×10<sup>-3</sup>m<sup>3</sup>/min、酸素ガスを1.0×10<sup>-3</sup>m<sup>3</sup>/minとすると良い。

【0063】このとき、第1のゲート電極246~250はn型不純物領域(b)236~245とゲート絶縁膜208を介して一部重なるようにエッチングされる。例えば、n型不純物領域(b)236は、ゲート絶縁膜208を介して第1のゲート電極246に重ならない領域236aおよび重なる領域236bに分けられ、n型不純物領域(b)237は、ゲート絶縁膜208を介して第1のゲート電極246に重ならない領域237aおよび重なる領域237bに分けられる。

【0064】次に、レジスト251a、251bを形成し、半導体をp型半導体にする不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては周期表の13族に属する元素(代表的にはボロン)を添加すれば良い。ここではボロンが第1のゲート電極247、250およびゲート絶縁膜208を貫通して半導体膜に到達するよう加速電圧を設定する。こうしてp型不純物領域252~255が形成される(図4(B))。

【0065】次に、図4(C)に示すように、第1の無機絶縁膜256として30~100nmの厚さの窒化珪素膜もしくは窒化酸化珪素膜を形成する。その後、添加されたn型不純物元素およびp型不純物元素を活性化する。活性化手段としては、ファーネスアニール、レーザーアニール、ランプアニールもしくはそれらを併用することができる。

【0066】次に、図4(D)に示すように、窒化珪素膜もしくは窒化酸化珪素膜からなる第2の無機絶縁膜257を50~200nmの厚さに形成する。この第2の無機絶縁膜257を形成したら、350~450℃の温度範囲で加熱処理を行う。なお、第2の無機絶縁膜257を形成する前に、水素(H<sub>2</sub>)ガスもしくはアンモニア(NH<sub>3</sub>)ガスを用いたプラズマ処理を行うことは有

効である。

【0067】次に、有機絶縁膜258として可視光を透過する樹脂膜を1~2μmの厚さに形成する。樹脂膜としては、ポリイミド膜、ポリアミド膜、アクリル樹脂膜もしくはBCB(ベンゾシクロブテン)膜を用いれば良い。また、感光性樹脂膜を用いることも可能である。

【0068】なお、本実施例では第1の無機絶縁膜256、第2の無機絶縁膜257および有機絶縁膜258の積層膜を総称して層間絶縁膜と呼ぶ。

【0069】次に、図5(A)に示すように、有機絶縁膜258の上に仕事関数が大きく、可視光に対して透明な酸化物導電膜からなる画素電極(陽極)259を80~120nmの厚さに形成する。本実施例では、酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を形成する。また、他の酸化物導電膜として、酸化インジウム、酸化亜鉛、酸化スズ、もしくはそれらを組み合わせた化合物からなる酸化物導電膜を用いることも可能である。

【0070】なお、酸化物導電膜を成膜した後、バターニングを行って画素電極259を形成するが、バターニング前に酸化物導電膜の表面の平坦化処理を行うこともできる。平坦化処理は、プラズマ処理でも良いし、CMP(ケミカルメカニカルポリッシング)処理でも良い。

【0071】次に、層間絶縁膜に対してコンタクトホールを形成し、配線260~266を形成する。また、このとき配線266は画素電極259と接続されるように形成する。なお、本実施例ではこの配線を、下層側から150nmのチタン膜、300nmのチタンを含むアルミニウム膜、100nmのチタン膜をスパッタ法で連続形成した三層構造の積層膜とする。

【0072】このとき、配線260、262はCMOS回路のソース配線、261はドレイン配線として機能する。また、配線263はスイッチングトランジスタのソース配線、配線264はスイッチングトランジスタのドレイン配線である。また、265は電流制御トランジスタのソース配線(電流供給線に相当する)、266は電流制御トランジスタのドレイン配線であり、画素電極259に接続される。

【0073】次に、図5(B)に示すようにバンク267を形成する。バンク267は100~400nmの珪素を含む絶縁膜もしくは有機樹脂膜をバターニングして形成すれば良い。このバンク267は画素と画素との間(画素電極と画素電極との間)を埋めるように形成される。また、次に形成する発光層等の有機EL膜が画素電極259の端部に直接触れないようにする目的もある。

【0074】なお、バンク267は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。バンク267の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げると、成膜時の静電気の発生を抑制することができる。その場合、バンク267の材料となる絶縁膜の抵抗率が1×10<sup>4</sup>~1×10<sup>11</sup>



$\Omega\text{m}$  (好ましくは  $1 \times 10^8 \sim 1 \times 10^{10} \Omega\text{m}$ ) となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0075】また、バンク267にカーボン粒子や金属粒子を添加すると光吸収性が高まり、透過率が低下する。即ち、発光装置の外部からの光が吸収されるのでEL素子の陰極面に外部の景色が映り込むといった不具合を避けることができる。

【0076】次に、EL層268を蒸着法により形成する。なお、本実施例では、正孔注入層および発光層の積層体をEL層と呼んでいる。即ち、発光層に対して正孔注入層、正孔輸送層、正孔阻止層 (もしくは、ホールブロッキング層という)、電子輸送層もしくは電子注入層を組み合わせた積層体であるが、本明細書中では、これらのうち少なくとも発光層と正孔輸送層を含む積層体であれば、EL層と呼ぶことにする。

【0077】なお、ここでは、EL層として発光層にトリプレット化合物を用い、緑色の発光を示す層を形成させる方法について説明する。

【0078】本実施例では、まず正孔注入層として銅フタロシアニン ( $\text{CuPc}$ ) 膜を20nmの厚さに成膜する。次に、正孔輸送層として、スターバーストアミンと呼ばれる芳香族アミンのMTDATAを20nm、同じく芳香族アミン系の化合物である $\alpha$ -NPDを10nmの厚さに成膜する。つまり、本実施例では、正孔輸送層をMTDATAと $\alpha$ -NPDとの2層で形成される構造の場合について説明している。

【0079】正孔輸送層を形成する材料には、大きく分けて正孔輸送性低分子化合物と正孔輸送性高分子化合物があるが、これらを複数用いて積層構造の正孔輸送層を形成することができる。具体的には、正孔輸送性低分子化合物としては、TPACやPDA及びTPDといった化合物を用いることができる。又、正孔輸送性高分子化合物としては、ポリビニルカルバゾール (PVK) やTPDを高分子の主鎖と側鎖に組み込んだ種々の高分子化合物を用いることができる。

【0080】なお、正孔輸送層は、複数の材料を積層させて形成することができるが、正孔輸送層全体の膜厚は、20~100nm程度が好ましく、積層する層の数が増えると一層あたりの膜厚は薄くする必要がある。そのため、積層数は、2~4層程度が好ましい。

【0081】さらに発光層としてCBPとIr (ppy)<sub>3</sub>を共蒸着法により20nmの厚さに成膜する。発光層を形成した後で、ホールブロッキング層としてBCPを10nm、電子輸送層としてアルミキノリラト錯体 ( $\text{Alq}_3$ ) を40nmの厚さに形成する。

【0082】なお、ここでは、緑色の発光を示すEL層を形成する場合について説明したが、緑色の発光材料としては、先に電子輸送層を形成する材料として挙げたアルミキノリラト錯体 ( $\text{Alq}_3$ )、ベンゾキノリラト

ベリリウム錯体 ( $\text{BeBq}$ ) を用いることもできる。さらには、アルミキノリラト錯体 ( $\text{Alq}_3$ ) にクマリン6やキナクリドンといった材料をドーバントとして用いたものを発光材料として用いることもできる。

【0083】さらに、赤色の発光を示すEL層を形成する場合には、Eu錯体 ( $\text{Eu}(\text{DCM})$ ), ( $\text{Phen}$ ) の他にアルミキノリラト錯体 ( $\text{Alq}_3$ ) にDCM-1をドーバントとして用いたもの等を発光材料として用いることができる。

10 【0084】また、青色の発光を示すEL層を形成する場合には、ジスチリル誘導体であるDPVBiの他に、アゾメチン化合物を配位子に持つ亜鉛錯体及びDPVBiにベリレンをドーピングしたものを発光材料に用いることができる。

【0085】本発明を実施する上で、例えば、赤色、青色及び緑色のEL層を形成させる場合には、以上に示したような発光材料を用いることができる。又、発光材料としては、必要に応じてシングレット化合物とトリプレット化合物とを自由に組み合わせて用いることができる。

20 【0086】しかし、赤色、青色及び緑色のEL層を形成させるのは、実施例の一つであるためこれに限定されることはなく、その他の色を複数組み合わせ形成することも可能である。

【0087】EL層268を形成したら、仕事関数の小さい導電膜からなる陰極269を300nmの厚さに形成する。仕事関数の小さい導電膜としては、長周期型周期律表の1族もしくは2族に属する元素や3~11族に属する遷移元素を含む導電膜を用いれば良い。本実施例では、イッテルビウム (Yb) からなる導電膜を用いるが、その他にリチウムとアルミニウムとの化合物からなる導電膜を用いることもできる。こうして画素電極 (陽極) 259、EL層268および陰極269を含むEL素子270が形成される。

【0088】EL層268を形成したら、仕事関数の小さい導電膜からなる陰極269を300nmの厚さに形成する。仕事関数の小さい導電膜としては、長周期型周期律表の1族もしくは2族に属する元素や3~11族に属する遷移元素を含む導電膜を用いれば良い。本実施例では、イッテルビウム (Yb) からなる導電膜を用いるが、その他にリチウムとアルミニウムとの化合物からなる導電膜を用いることもできる。こうして画素電極 (陽極) 259、EL層268および陰極269を含むEL素子270が形成される。

【0089】この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC (ダイヤモンドライクカーボン) 膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低いEL層268の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、EL層268の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間にEL層268が酸化するとい

15

った問題を防止することができる。

【0090】さらに、少なくとも画素部を囲むように基板201（もしくは下地膜202）上に、シール材（図示せず）を設け、カバー材272を貼り合わせる。シール材としては脱ガスが少なく水や酸素を透過しにくい紫外線硬化樹脂を用いれば良い。また、空隙273は不活性ガス（窒素ガスもしくは希ガス）、樹脂（紫外線硬化樹脂もしくはエポキシ樹脂）または不活性気体で充填すれば良い。

【0091】また、空隙273に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、カバー材272はガラス基板、金属基板（好ましくはステンレス基板）、セラミックス基板もしくはプラスチック基板（プラスチックフィルムを含む）を用いれば良い。なお、プラスチック基板を用いる場合、表面および裏面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を設けて酸素や水の透過を防ぐことが好ましい。

【0092】こうして図5（B）に示すような構造の発光装置が完成する。なお、バンク267を形成した後、バッシベーション膜271を形成するまでの工程をマルチチャンパー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材272を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【0093】こうして、基板201上にnチャネル型トランジスタ601、pチャネル型トランジスタ602、スイッチングトランジスタ（映像データ信号を画素内に伝送するスイッチング素子として機能するトランジスタ）603および電流制御トランジスタ（EL素子に流れる電流を制御する電流制御素子として機能するトランジスタ）604が形成される。

【0094】このとき駆動回路は基本回路としてnチャネル型トランジスタ601とpチャネル型トランジスタ602とを相補的に組み合わせたCMOS回路を含む。また、画素部はスイッチングトランジスタ603および電流制御トランジスタ604を含む複数の画素により形成されている。

【0095】ここまでの製造工程で必要としたフォトリソグラフィ工程は7回であり、一般的なアクティブマトリクス型発光装置よりも少ない。即ち、トランジスタの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

【0096】さらに、図4（A）を用いて説明したように、第1のゲート電極にゲート絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強いnチャネル型トランジスタを形成することができる。そのため、信頼性の高い発光装置を実現できる。

16

【0097】さらに、EL素子を保護するための封止（または封入）工程まで行った本実施例の発光装置について図6（A）、（B）を用いて説明する。なお、必要に応じて図3～図5で用いた符号を引用する。

【0098】図6（A）は、EL素子の封止までを行った状態を示す上面図、図6（B）は図6（A）をA-A'で切断した断面図である。点線で示された501は画素部、502はソース側駆動回路、503はゲート側駆動回路である。また、504はカバー材、505は第1シール材、506は第2シール材である。

【0099】なお、507はソース側駆動回路502及びゲート側駆動回路503に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）508からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。

【0100】次に、断面構造について図6（B）を用いて説明する。基板201の上方には画素部501、ソース側駆動回路502が形成されており、画素部501は電流制御用トランジスタ604とそのドレインに電氣的に接続された画素電極259を含む複数の画素により形成される。また、ソース側駆動回路502はnチャネル型トランジスタ601とpチャネル型トランジスタ602とを組み合わせたCMOS回路（図5（B）参照）を用いて形成される。なお、基板201に偏光板（代表的には円偏光板）を貼り付けても良い。

【0101】画素電極259はEL素子の陽極として機能する。また、画素電極259の両端にはバンク267が形成され、画素電極259上にはEL層268およびEL素子の陰極269が形成される。陰極269は全画素に共通の配線としても機能し、接続配線507を経由してFPC508に電氣的に接続されている。さらに、画素部501及びソース側駆動回路502に含まれる素子は全てバッシベーション膜271で覆われている。

【0102】また、第1シール材505によりカバー材504が貼り合わされている。なお、カバー材504とEL素子との間隔を確保するためにスペーサを設けても良い。そして、第1シール材505の内側には空隙273が形成されている。なお、第1シール材505は水分や酸素を透過しない材料であることが望ましい。さらに、空隙273の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を設けることは有効である。

【0103】なお、カバー材504の表面および裏面には保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜）509a、509bを2～30nmの厚さに設けると良い。このような炭素膜は、酸素および水の侵入を防ぐとともにカバー材504の表面を機械的に保護する役割をもつ。

【0104】また、カバー材504を接着した後、第1

シール材505の露呈面を覆うように第2シール材506を設けている。第2シール材506は第1シール材505と同じ材料を用いることができる。

【0105】以上のような構造でEL素子を封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。

【0106】なお、図6(A)、(B)に示したように、同一の基板上に画素部および駆動回路を有しFPCまで取り付けられた発光装置を、本明細書中では特に駆動回路内蔵型発光装置と呼ぶ。

【0107】また、本実施例を実施して作製された発光装置は、デジタル信号により動作させることもアナログ信号により動作させることも可能である。

【0108】〔実施例2〕本実施例では、本発明を実施する上で用いることができる複数のEL層を形成し、これらを用いたEL素子の特性を示す。なお、本実施例において作製したEL層の構成を図7に示す。

【0109】図7(A)は、EL素子aの構成を示す。まず、酸化インジウムと酸化スズを組み合わせた化合物からなる陽極上に正孔輸送層として $\alpha$ -NPDを蒸着法により、40nmの膜厚で形成する。その上に発光層を形成する発光材料としてトリブレット化合物であるIr(pppy)<sub>3</sub>とCBPを共蒸着法により20nmに成膜する。さらに発光層上に電子輸送層としてBCPを10nm、Alq<sub>3</sub>を40nm、それぞれ蒸着法により形成した後、陰極としてYbを400nmの膜厚に蒸着することによりEL素子aが形成される。なお、EL素子aにより得られる発光は、トリブレット化合物による三重項励起エネルギーを利用したものである。

【0110】図7(B)は、EL素子bの構成を示す。まず、酸化インジウムと酸化スズを組み合わせた化合物からなる陽極上に正孔注入層として、銅フタロシアニンを20nm、正孔輸送層としてMTDATAを20nm、 $\alpha$ -NPDを10nm、それぞれ蒸着法により形成する。その上に発光層を形成する発光材料としてシングレット化合物であるAlq<sub>3</sub>を蒸着法により50nmに成膜する。そして、陰極としてYbを400nmの膜厚に蒸着することによりEL素子bが形成される。なお、EL素子bにより得られる発光は、シングレット化合物による一重項励起エネルギーを利用したものである。

【0111】図7(C)は、EL素子cの構成を示す。まず、酸化インジウムと酸化スズを組み合わせた化合物からなる陽極上に正孔輸送層として、 $\alpha$ -NPDを50nm蒸着法により形成する。その上に発光層を形成する発光材料としてシングレット化合物であるAlq<sub>3</sub>を蒸着法により50nmに成膜する。そして、陰極としてYbを400nmの膜厚に蒸着することによりEL素子cを形成する。なお、EL素子cにより得られる発光は、

シングレット化合物による一重項励起エネルギーを利用したものである。また、EL素子cは、発光層と正孔輸送層のみでEL層が形成されている。

【0112】図7(D)は、EL素子dの構成を示す。まず、酸化インジウムと酸化スズを組み合わせた化合物からなる陽極上に正孔注入層として、ポリチオフェン誘導体であるPEDOTをスピンコート法により30nmの膜厚で成膜する。さらに、発光材料としてポリパラフェニレンビニレン(以下PPVで示す)をその上にスピンコート法により80nmの膜厚で形成する。そして、陰極としてYbを400nmの膜厚に蒸着法を用いて形成することによりEL素子dを形成する。なお、EL素子dにより得られる発光は、シングレット化合物による一重項励起エネルギーを利用したものである。また、EL素子dは、発光層に高分子材料を用いている点において、これまで示した他のEL素子と異なる。

【0113】次に、図7において説明したEL素子を用いて電気的な特性評価を行った。この結果を図8に示す。まず、図8(A)に電流密度に対する輝度特性を示す。大きく分けると、トリブレット化合物を用いたEL素子とシングレット化合物を用いたEL素子で、電流密度に対する特性に違いが見られた。すなわち、トリブレット化合物を用いたEL素子aについては、60mA/cm<sup>2</sup>の電流密度に対して6000cd/m<sup>2</sup>位の輝度が得られたが、シングレット化合物を用いたEL素子b、EL素子c及びEL素子dに関しては、約3分の1である2000cd/m<sup>2</sup>位の輝度しか得られなかった。

【0114】さらに、図8(B)には、電流密度に対する外部量子効率を測定した結果を示す。外部量子効率に関しても輝度特性と同様にトリブレット化合物をEL素子に用いたEL素子aが圧倒的に良い特性を示した。最も差の大きいところでは、7倍程度の高量子効率を得られている。

【0115】図8の結果で示されたように、EL素子にトリブレット化合物を用いることでより効率よく発光を得ることができる。

【0116】そこで、トリブレット化合物を用いた図7(A)のEL素子aにより得られる発光をさらに改善するために、さらに別の層を設けた。

【0117】図9(A)には、図7(A)で示したのと同じEL素子aを示す。そして、図9(B)には、EL素子aの陽極上に銅フタロシアニンを蒸着法により20nmの膜厚で形成させたものである。この時の電気特性に関して図10に示したが、図10(A)で示されるように、銅フタロシアニンを陽極上に設けることでEL素子の輝度自体はそれほど変化しなかったが、輝度が保持される時間が長くなった。

【0118】また、図10(B)からは、膜が一層増えることにより初期に流れる電流の値に差が生じるが、時間の経過とともにほぼ同じになることから、図10

(A)及び図10(B)により同じ電流量を流した時のEL素子の耐久性は向上することが明らかになった。通常、銅フタロシアニン、陽極からの正孔の注入性を良くする正孔注入材料として知られているが、ここでは、EL素子の耐久性を向上させる材料であることが言える。なお、この結果は、6.5Vの低電圧下で、連続的にEL素子を点灯させて、時間の経過に伴うEL素子の輝度およびEL素子に流れる電流量を測定したものである。また、本実施例で示した銅フタロシアニンの代わりにポリチオフェン系の材料、例えばPEDOT (poly (3,4-ethylene dioxythiophene))を用いることも可能である。

【0119】そこで、図9(C)で示すようなEL素子を作製した。図9(B)の正孔輸送層である $\alpha$ -NPD (40nm)の代わりにMTDATAを20nm、 $\alpha$ -NPDを10nm、蒸着法によりそれぞれ形成した。つまり、これまでの銅フタロシアニンと正孔輸送層との2層間にもう1層の正孔輸送層を設けて、2層間のHOMO準位におけるエネルギー差を小さくしている。なお、本明細書中では、図9(C)の素子をEL素子a'と呼ぶことにする。

【0120】図9(C)で示すEL素子の電気特性について、図11に示す。図11(A)は、図9(A)に示すEL素子aとEL素子aに銅フタロシアニンからなる正孔注入層とMTDATAからなる正孔輸送層を形成させたEL素子a'について、その電流密度に対する発光輝度を測定した結果である。これにより、銅フタロシアニン及びMTDATAを積層することによるEL素子の発光輝度に影響がないことが分かる。

【0121】また、図11(B)は、EL素子に電圧を印加したときの発光輝度について測定した結果であるが、銅フタロシアニン及びMTDATAを積層することによる輝度の向上が見られる。同じ電圧を印加したときの輝度が向上したことから、同じ発光輝度をより低電圧で行えることになる。

【0122】さらに、図11(C)には、EL素子に電圧を印加したときの電流量について測定した結果を示す。ここでは、印加電圧に対する電流量は、同じ電圧で見たときにEL素子aよりもEL素子a'において増加している。

【0123】以上の結果は、EL素子aに銅フタロシアニ

\*ニン及びMTDATAを積層してEL素子a'を形成することにより、EL素子の低電圧化が実現されたことを示している。

【0124】さらにEL素子a'における応答速度について、測定を行った。測定は、任意の電源により、DC(直流電流)を印加して、これをON、OFFにより切り替える。なお、ONは、選択期間であり、電圧を印加する期間のことをいう。また、OFFは、非選択期間であり、電圧は0Vである。又、これらの期間は、いずれも250 $\mu$ sである。

【0125】なお、具体的には、顕微鏡に光電子増倍管(Photomultiplier)を設置し、光電子増倍管の出力をオシロスコープで読みとった値で、評価を行った。また、本測定においては、OFFからONへの切り替えを立ち上がり、ONからOFFへの切り替えを立ち下がりとして定義する。そして、電源の電圧がOFFからONに切り替わった瞬間から、それに追従する光学応答が100%の発光輝度に対して90%まで増加した発光輝度を示すのに要する時間を立ち上がりの応答時間とした。また、電源の電圧がONからOFFに切り替わった瞬間から、それに追従する光学応答が、それまでの100%の発光輝度に対して10%まで減少した発光輝度を示すのに要する時間を立ち下がりの応答時間とした。

【0126】この時の測定の様子を図25に示す。なお、図25において矢印aで示されるのが電源の出力(電圧)であり、矢印bで示されるのが出力に対する光学応答である。また、光電子増倍管は、マイナス出力タイプを用いたため、OFF(0V)からON(ここでは6Vの例を示す)に切り替わったときに、負電位が出力されている。

【0127】図25に90%の輝度が得られた点を矢印cで示したが、この時の立ち上がりの応答時間は28 $\mu$ sであった。なお、本実施例において、電源の出力が6Vであるとき、EL素子により多少のバラツキはあるものの、立ち上がり及び立ち下がりの応答時間は、いずれも1~100 $\mu$ s、好ましくは1~50 $\mu$ sの範囲で実施することができる。さらにONにおける電圧を6Vから10Vまで1Vずつ変えて測定した結果(立ち上がり時間及び立ち下がり時間)を表1に示す。

【0128】

【表1】

電圧(V)	立ち上がり時間( $\mu$ s)	立ち下がり時間( $\mu$ s)
6	28	3
7	8	3.24
8	3.5	4.2
9	2.36	4.04
10	1.64	4.52

【0129】表1からこれらの電圧の範囲における応答速度は非常に速いため、通常のデジタル駆動においても問題なく使用できることが示された。

【0130】【実施例3】本実施例のアクティブマトリクス型発光装置における画素部の断面構造を図12に示す。図12において、10は絶縁体、11は図5(B)

の電流制御トランジスタ (TFT) 604、12は画素電極 (陽極)、13はバンク、14は公知の正孔注入層、15は赤色に発光する発光層、16は緑色に発光する発光層、17は青色に発光する発光層、18は公知の電子輸送層、19は陰極である。

【0131】このとき本実施例では、赤色に発光する発光層15および青色に発光する発光層17としてトリプレット化合物を用い、緑色に発光する発光層16としてシングレット化合物を用いる。即ち、シングレット化合物を用いたEL素子は緑色に発光するEL素子であり、前記トリプレット化合物を用いたEL素子は赤色に発光するEL素子および青色に発光するEL素子である。

【0132】低分子の有機化合物を発光層として用いる場合、現状では赤色に発光する発光層と青色に発光する発光層の寿命が緑色に発光する発光層よりも短い。これは発光効率が劣るため、緑色と同じ発光輝度を得るためには動作電圧を高く設定しなければならず、その劣化の進行が早まるためである。

【0133】しかしながら、本実施例では赤色に発光する発光層15と青色に発光する発光層17として発光効率の高いトリプレット化合物を用いているため、緑色に発光する発光層16と同じ発光輝度を得ながらも動作電圧を揃えることが可能である。従って、赤色に発光する発光層15及び青色に発光する発光層17の劣化が極端に早まることはなく、色ずれ等の問題を起こさずにカラー表示を行うことが可能となる。また、動作電圧を低く抑えることができることは、トランジスタの耐圧のマージンを低く設定できる点からも好ましいことである。

【0134】なお、本実施例では、赤色に発光する発光層15及び青色に発光する発光層17としてトリプレット化合物を用いた例を示しているが、さらに緑色に発光する発光層16にトリプレット化合物を用いることも可能である。

【0135】次に、本実施例を実施した場合における画素部の回路構成を図13に示す。なお、ここでは赤色に発光するEL素子を含む画素 (画素 (赤)) 20a、緑色に発光するEL素子を含む画素 (画素 (緑)) 20bおよび青色に発光するEL素子を含む画素 (画素 (青)) 20cの三つを図示しているが、いずれも回路構成は同一である。

【0136】図13 (A) において、21はゲート配線、22a~22cはソース配線 (データ配線)、23a~23cは電流供給線である。電流供給線23はEL素子の動作電圧を決定する配線であり、赤色発光の画素20a、緑色発光の画素20bおよび青色発光の画素20cのいずれの画素においても同じ電圧が印加される。従って、配線の線幅 (太さ) も全て同一設計で良い。

【0137】また、24a~24cはスイッチングトランジスタであり、ここではnチャネル型トランジスタで形成されている。なお、ここではソース領域とドレイン領

域との間に二つのチャネル形成領域を有した構造を例示しているが、二つ以上もしくは一つであっても構わない。

【0138】また、25a~25cは電流制御トランジスタであり、ゲートはスイッチングトランジスタ24a~24cのいずれかに、ソースは電流供給線23a~23cのいずれかに、ドレインはEL素子26a~26cのいずれかに接続される。なお、27a~27cはコンデンサであり、各々電流供給線25a~25cのゲートに印加される電圧を保持する。但し、コンデンサ27a~27cは省略することも可能である。

【0139】なお、図13 (A) ではnチャネル型トランジスタからなるスイッチングトランジスタ24a~24cおよびpチャネル型トランジスタからなる電流制御トランジスタ25a~25cを設けた例を示しているが、図13 (B) に示すように、画素 (赤) 30a、画素 (緑) 30bおよび画素 (青) 30cの各々に、pチャネル型トランジスタからなるスイッチングトランジスタ28a~28cおよびnチャネル型トランジスタからなる電流制御トランジスタ29a~29cを設けることも可能である。

【0140】さらに、図13 (A)、(B) では一つの画素内に二つのトランジスタを設けた例を示しているが、トランジスタの個数は二つ以上 (代表的には三つ~六つ) であっても良い。その場合においても、nチャネル型トランジスタとpチャネル型トランジスタとをどのように組み合わせるにしても構わない。

【0141】本実施例では、EL素子26aが赤色発光のEL素子であり、EL素子26cが青色発光のEL素子であり、いずれも発光層としてトリプレット化合物を用いている。また、EL素子26bが緑色発光のEL素子であり、発光層としてシングレット化合物を用いている。

【0142】こうしてトリプレット化合物とシングレット化合物を使い分けることでEL素子26a~26cの動作電圧をすべて同一 (10V以下、好ましくは3~10V) とすることが可能となる。従って、発光装置に必要な電源を例えば3Vもしくは5Vで統一することができるため、回路設計が容易となる利点がある。

【0143】なお、本実施例の構成は、実施例1または、実施例2のいずれの構成とも組み合わせることも可能である。

【0144】〔実施例4〕本実施例では、画素部および駆動回路をすべてnチャネル型トランジスタで形成した場合について説明する。なお、nチャネル型トランジスタの製造工程は実施例1に従えば良いので説明は省略する。

【0145】本実施例の発光装置の断面構造を図14に示す。なお、基本的な構造は実施例1に示した図5 (B) の断面構造と同じであるため、ここでは相違点の

みを説明することとする。

【0146】本実施例では、図5(B)のpチャネル型トランジスタ602の代わりにnチャネル型トランジスタ1201が設けられ、電流制御トランジスタ604の代わりにnチャネル型トランジスタからなる電流制御トランジスタ1202が設けられている。

【0147】また、電流制御トランジスタ1202のドレインに接続された配線266はEL素子の陰極として機能し、その上にEL層1203、酸化物導電膜からなる陽極1204、バッシベーション膜1205が設けられている。このとき配線266は周期表の1族もしくは2族に属する元素を含む金属膜で形成されるか、少なくともEL層1203と接する面が、周期表の1族もしくは2族に属する元素を含む金属膜で形成されることが望ましい。

【0148】また、本実施例で用いるnチャネル型トランジスタはすべてエンハンスメント型トランジスタであっても良いし、すべてデプレッション型トランジスタであっても良い。勿論、両者を作り分けて組み合わせて用いることも可能である。

【0149】ここで画素の回路構成を図15に示す。なお、図13と同一の符号を付した部分については図13の説明を参照すれば良い。

【0150】図15に示すように、画素(赤)35a、画素(緑)35b、画素(青)35cの各々に設けられたスイッチングトランジスタ24a~24cおよび電流制御トランジスタ36a~36cは、すべてnチャネル型トランジスタで形成されている。

【0151】本実施例の構成によれば、実施例1の発光装置の製造工程においてpチャネル型トランジスタを形成するためのフォトリソグラフィ工程、及び実施例1における画素電極(陽極)を形成するためのフォトリソグラフィ工程を省略することができるため、さらに製造工程を簡略化することが可能である。

【0152】なお、本実施例の構成は実施例1~実施例3のいずれの構成とも組み合わせて実施することが可能である。

【0153】〔実施例5〕本実施例では、画素部および駆動回路をすべてpチャネル型トランジスタで形成した場合について説明する。本実施例の発光装置の断面構造を図16に示す。なお、実施例1に示した図5(B)と同一の符号を付してある部分は実施例1の説明を参照すれば良い。

【0154】本実施例では、駆動回路がpチャネル型トランジスタ1401およびpチャネル型トランジスタ1402で形成されるPMOS回路で形成され、画素部がpチャネル型トランジスタからなるスイッチングトランジスタ1403およびpチャネル型トランジスタからなる電流制御トランジスタ1404を有している。なお、pチャネル型トランジスタ1401の活性層は、ソース

領域41、ドレイン領域42、LDD領域43a、43bおよびチャネル形成領域44を含む。活性層の構成は、pチャネル型トランジスタ1402、スイッチングトランジスタ1403、電流制御トランジスタ1404も同様である。

【0155】ここで本実施例のpチャネル型トランジスタの製造工程について図17を用いて説明する。まず、実施例1の製造工程に従って図3(B)の工程まで行う。

10 【0156】次に、レジスト211a~211eを用いて第2の導電膜からなる電極212~216を形成する。そして、レジスト211a~211eおよび第2の導電膜からなる電極212~216をマスクとして周期表の13族に属する元素(本実施例ではボロン)を半導体膜に添加し、 $1 \times 10^{10} \sim 1 \times 10^{11}$  atoms/cm<sup>2</sup>の濃度でボロンを含む領域(以下、p型不純物領域(a)という)301~309を形成する(図17(A))。

20 【0157】次に、レジスト211a~211eを用いて第2の導電膜からなる電極212~216を図3(E)と同様のエッチング条件でエッチングし、第2のゲート電極310~314を形成する(図17(B))。

【0158】次に、レジスト211a~211eおよび第2のゲート電極310~314をマスクとして第1の導電膜209を図3(D)と同様のエッチング条件でエッチングし、第1のゲート電極315~319を形成する。

30 【0159】そして、レジスト211a~211eおよび第2のゲート電極310~314をマスクとして周期表の13族に属する元素(本実施例ではボロン)を半導体膜に添加し、 $1 \times 10^{16} \sim 1 \times 10^{18}$  atoms/cm<sup>2</sup>(代表的には $1 \times 10^{17} \sim 1 \times 10^{18}$  atoms/cm<sup>2</sup>)の濃度でボロンを含む領域(以下、p型不純物領域(b)という)320~329を形成する(図17(C))。

【0160】この後の工程は実施例1の図4(C)以降の工程に従えば良い。以上のような工程により図16に示す構造の発光装置を形成することができる。

【0161】また、本実施例で用いるpチャネル型トランジスタはすべてエンハンスメント型トランジスタであっても良いし、すべてデプレッション型トランジスタであっても良い。勿論、両者を作り分けて組み合わせて用いることも可能である。

【0162】ここで画素の回路構成を図18に示す。なお、図13と同一の符号を付した部分については図13の説明を参照すれば良い。

【0163】図18に示すように、画素(赤)50a、画素(緑)50b、画素(青)50cの各々に設けられたスイッチングトランジスタ51a~51cおよび電流制御トランジスタ52a~52cはすべてpチャネル型トランジスタで形成される。

50 【0164】本実施例の構成によれば、実施例1の発光



装置の製造工程において1回のフォトリソグラフィ工程を省略することができるため、実施例1よりも製造工程を簡略化することが可能である。

【0165】なお、本実施例の構成は実施例1～実施例4のいずれの構成とも組み合わせて実施することが可能である。

【0166】〔実施例6〕本発明のアクティブマトリクス型の発光装置は、半導体素子としてMOS（Metal Oxide Semiconductor）トランジスタを用いることもできる。その場合、半導体基板（典型的にはシリコンウエハ）に公知の方法で形成されたMOSトランジスタを用い

れば良い。

【0167】なお、本実施例における半導体素子以外の構成は、実施例1～5の構成と組み合わせて実施することが可能である。

【0168】〔実施例7〕実施例1において、図6に示した駆動回路内蔵型発光装置は、同一の絶縁体上に画素部および駆動回路が一体形成された例であるが、駆動回路を外付けIC（集積回路）で設けることも可能である。このような場合、構造は図19（A）のようにな

る。

【0169】図19（A）に示すモジュールは、アクティブマトリクス基板60（画素部61、配線62a、62bを含む）にFPC63が取り付けられ、そのFPC63を介してプリント配線板64が取り付けられている。ここでプリント配線板64の機能ブロック図を図19（B）に示す。

【0170】図19（B）に示すように、プリント配線板64の内部には少なくともI/Oポート（入力もしくは出力部ともいう）65、68、ソース側駆動回路66およびゲート側駆動回路67として機能するICが設けられている。

【0171】このように、基板面に画素部が形成されたアクティブマトリクス基板にFPCが取り付けられ、そのFPCを介して駆動回路としての機能を有するプリント配線板が取り付けられた構成のモジュールを、本明細書では特に駆動回路外付け型発光モジュールと呼ぶことにする。

【0172】また、図20（A）に示すモジュールは、駆動回路内蔵型発光装置70（画素部71、ソース側駆動回路72、ゲート側駆動回路73、配線72a、73aを含む）にFPC74が取り付けられ、そのFPC74を介してプリント配線板75が取り付けられている。ここでプリント配線板75の機能ブロック図を図20（B）に示す。

【0173】図20（B）に示すように、プリント配線板75の内部には少なくともI/Oポート76、79、コントロール部77として機能するICが設けられている。なお、ここではメモリ部78が設けられているが、必ずしも必要ではない。また、コントロール部77は、

駆動回路の制御、映像データの補正などをコントロールするための機能を有した部位である。

【0174】このように、基板面に画素部および駆動回路が形成された駆動回路内蔵型発光装置にコントローラとしての機能を有するプリント配線板が取り付けられた構成のモジュールを、本明細書では特にコントローラ外付け型発光モジュールと呼ぶことにする。

【0175】〔実施例8〕本発明を実施して形成された発光装置（実施例9に示した形態のモジュールも含む）は様々な電気器具に内蔵され、画素部は映像表示部として用いられる。本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響機器、ノート型パーソナルコンピュータ、ゲーム機器、携帯機器（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図21、図22に示す。

【0176】図21（A）は表示装置であり、筐体2001、支持台2002、表示部2003を含む。本発明の発光装置は表示部2003に用いることができる。表示部2003にEL素子を有した発光装置を用いる場合、EL素子が自発光型であるためバックライトが必要なく薄い表示部とすることができる。

【0177】図21（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明の発光装置は表示部2102に用いることができる。

【0178】図21（C）はデジタルカメラであり、本体2201、表示部2202、接眼部2203、操作スイッチ2204を含む。本発明の発光装置もしくは液晶表示装置は表示部2202に用いることができる。

【0179】図21（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（CD、LDまたはDVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の発光装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれる。

【0180】図21（E）は携帯型（モバイル）コンピュータであり、本体2401、表示部2402、受像部2403、操作スイッチ2404、メモリスロット2405を含む。本発明の発光装置は表示部2402に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。



【0181】図21(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504を含む。本発明の発光装置は表示部2503に用いることができる。

【0182】また、上記電気器具はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。表示部にEL素子を有した発光装置を用いた場合、EL素子の応答速度が非常に高いため遅れない動画表示が可能となる。

【0183】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響機器のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0184】図22(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604にて用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0185】図22(B)も携帯電話であるが、図22(A)とは異なり、二つ折りのタイプである。本体2611、音声出力部2612、音声入力部2613、表示部a2614、表示部b2615、アンテナ2616を含む。なお、このタイプの携帯電話には、操作スイッチが付いていないが、表示部a又は、表示部bのうち、一方の表示部に図22(C)、(D)、(E)で示すような文字情報を表示をさせてその機能をもたせている。また、もう一方の表示部には、主として画像情報を表示することになる。なお、本発明の発光装置は表示部a2614又は、表示部b2615にて用いることができる。

【0186】図22(B)に示した携帯電話の場合、表示部に用いた発光装置にCMOS回路でセンサ(CMOSセンサ)を内蔵させ、指紋もしくは手相を読みとることによって使用者を認証する認証システム用端末として用いることもできる。また、外部の明るさ(照度)を読みとり、設定されたコントラストで情報表示が可能となるように発光させることもできる。

【0187】さらに、操作スイッチ2605を使用している時に輝度を下げ、操作スイッチの使用が終わったら輝度を上げることで低消費電力化することができる。また、着信した時に表示部2604の輝度を上げ、通話中は輝度を下げることもよって低消費電力化することができる。また、継続的に使用している場合に、リセットしない限り時間制御で表示がオフになるような機能を持たせることで低消費電力化を図ることもできる。なお、

これらはマニュアル制御であっても良い。

【0188】図22(F)は音響再生装置、具体的には車載用オーディオであり、本体2621、表示部2622、操作スイッチ2623、2624を含む。本発明の発光装置は表示部2622にて用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2622は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0189】また、本実施例で示した携帯型電気器具において、消費電力を低減するための方法として、外部の明るさを感知するセンサ部を設け、暗い場所を使用する際には、表示部の輝度を落とすなどの機能を付加するといった方法が挙げられる。

【0190】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～実施例8に示したいずれの構成を適用しても良い。

【0191】〔実施例9〕実施例1では、トランジスタ(以下、TFTと示す)がトップゲート型の構造を有する場合について説明したが、本発明はTFT構造に限定されるものではないので、図23に示すようにボトムゲート型TFT(代表的には逆スタガ型TFT)を用いて実施しても構わない。また、逆スタガ型TFTは如何なる手段で形成されたものでも良い。

【0192】なお、図23(A)は、ボトムゲート型TFTを用いた発光装置の作製において、形成されたELモジュールの上面図である。ソース側駆動回路3001、ゲート側駆動回路3002及び画素部3003が形成されている。また、図23(A)において、 $x-x'$ で発光装置を切ったときの画素部3003の領域a3004の断面図を図23(B)に示す。

【0193】図23(B)では、画素TFTのうち電流制御TFTについてのみ説明する。3011は基板であり、3012は下地となる絶縁膜(以下、下地膜という)である。基板3011としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0194】また、下地膜3012は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜3012としては、珪素(シリコン)を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜( $\text{SiO}_x\text{N}_y$ :  $x, y$ は任意の整数、で示される)など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0195】3013は電流制御TFTであり、pチャネル型TFTで形成されている。本実施例に示すように、ELの発光方向が基板の上面（TFT及びEL層が設けられている面）の場合、スイッチングTFTがnチャネル型TFTで形成され、電流制御TFTもnチャネル型TFTで形成される構成であることが好ましい。しかし本発明はこの構成に限定されない。スイッチングTFTと電流制御TFTは、nチャネル型TFTでもpチャネル型TFTでも、どちらでも構わない。

【0196】電流制御TFT3013は、ソース領域3014、ドレイン領域3015及びチャネル形成領域3016を含む活性層と、ゲート絶縁膜3017と、ゲート電極3018と、第1層間絶縁膜3019と、ソース配線3020並びにドレイン配線3021を有して形成される。本実施例において電流制御TFT3013はnチャネル型TFTである。

【0197】また、スイッチングTFTのドレイン領域は電流制御TFT3013のゲート電極3018に接続されている。図示していないが、具体的には電流制御TFT3013のゲート電極3018はスイッチングTFTのドレイン領域（図示せず）とドレイン配線（図示せず）を介して電氣的に接続されている。なお、ゲート電極3018はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、電流制御TFT3013のソース配線3020は電流供給線（図示せず）に接続される。

【0198】電流制御TFT3013はEL素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャネル幅（W）はスイッチングTFTのチャネル幅よりも大きく設計することが好ましい。また、電流制御TFT3013に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり0.5～2μA（好ましくは1～1.5μA）となるようにする。

【0199】さらに、電流制御TFT3013の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50～100nm、さらに好ましくは60～80nm）ことによって、TFTの劣化を抑えてもよい。

【0200】そして、電流制御TFT3013の形成後、第1層間絶縁膜3019及び第2層間絶縁膜（図示せず）が形成され、電流制御TFT3013と電氣的に接続された画素電極3023が形成される。本実施例では、導電膜からなる画素電極3023がEL素子の陰極として機能する。

【0201】具体的には、アルミニウムとリチウムの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いればよい。

【0202】そして、画素電極3013が形成された後に、第3層間絶縁膜3024が形成される。なお、この

第3層間絶縁膜3024は、いわゆるバンクの役割を果たす。

【0203】つぎにEL層3025が形成される。なお、図23（B）には、同じEL層が形成される画素列が並ぶ断面図を示している。

【0204】本実施例におけるEL層は、電子注入層としてAlq3、電子輸送層としてBCPを用い、発光層としてCBPにIr（ppy）3をドーピングさせたものを用いた。さらに正孔輸送層としてα-NPDを用いて形成させた。

【0205】次にEL層の上には、透明導電膜からなる陽極3026が形成される。これにより、EL素子3027が形成される。なお、本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは、酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0206】さらに陽極上に絶縁材料からなるバッシベーション膜を形成することにより、逆スタガ型のTFT構造を有するELモジュールを形成することができる。なお、本実施例により作製した発光装置は、図23（B）の矢印の方向（上面）に光を出射させることができる。

【0207】逆スタガ型TFTは工程数がトップゲート型TFTよりも少なくし易い構造であるため、本発明の課題である製造コストの低減には非常に有利である。

【0208】なお、本実施例の構成は、実施例1～実施例8のいずれの構成とも自由に組み合わせて実施することが可能である。

【0209】〔実施例10〕次に本実施例では、画素部にSRAMを導入する場合について説明する。図24に画素3104の拡大図を示す。図24において、3105はスイッチングTFTである。スイッチングTFT3105のゲート電極は、ゲート信号を入力するゲート信号線（G1～Gn）のうちの1つであるゲート信号線3106に接続されている。スイッチングTFT3105のソース領域とドレイン領域は、一方が信号を入力するソース信号線（S1～Sn）のうちの1つであるソース信号線3107に、もう一方がSRAM3108の入力側に接続されている。SRAM3108の出力側は電流制御TFT3109のゲート電極に接続されている。

【0210】また、電流制御TFT3109のソース領域とドレイン領域は、一方が電流供給線（V1～Vn）の1つである電流供給線3110に接続され、もう一方はEL素子3111に接続される。

【0211】EL素子3111は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極が電流制御TFT3109のソース領域またはドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、陰極は対向電極となる。逆に陰極が電流制御TFT3109のソース領域またはドレイン領域と接続してい

る場合、言い換えると陰極が画素電極の場合、陽極は対向電極となる。

【0212】SRAM3108はpチャネル型TFTとnチャネル型TFTを2つずつ有しており、pチャネル型TFTのソース領域は高電圧側のV<sub>d d h</sub>に、nチャネル型TFTのソース領域は低電圧側のV<sub>s s</sub>に、それぞれ接続されている。1つのpチャネル型TFTと1つのnチャネル型TFTとが対になっており、1つのSRAMの中にpチャネル型TFTとnチャネル型TFTとの対が2組存在することになる。

【0213】また、対になったpチャネル型TFTとnチャネル型TFTは、そのドレイン領域が互いに接続されている。また対になったpチャネル型TFTとnチャネル型TFTは、そのゲート電極が互いに接続されている。そして互いに、一方の対になっているpチャネル型TFT及びnチャネル型TFTのドレイン領域が、他の一方の対になっているpチャネル型TFT及びnチャネル型TFTのゲート電極と同じ電位に保たれている。

【0214】そして、一方の対になっているpチャネル型及びnチャネル型TFTのドレイン領域は入力信号(V<sub>i n</sub>)が入る入力側であり、もう一方の対になっているpチャネル型及びnチャネル型TFTのドレイン領域は出力信号(V<sub>o u t</sub>)が出力される出力側である。

【0215】SRAMはV<sub>i n</sub>を保持し、V<sub>i n</sub>を反転させた信号であるV<sub>o u t</sub>を出力するように設計されている。つまり、V<sub>i n</sub>がH<sub>i</sub>だとV<sub>o u t</sub>はV<sub>s s</sub>相当のL<sub>o</sub>の信号となり、V<sub>i n</sub>がL<sub>o</sub>だとV<sub>o u t</sub>はV<sub>d d h</sub>相当のH<sub>i</sub>の信号となる。

【0216】なお、本実施例で示すように、SRAMが画素3104の一つ設けられている場合には、画素中のメモリーデータが保持されているため外部回路の大半を止めた状態で静止画を表示することが可能である。これにより、低消費電力化を実現することができる。また、画素に複数のSRAMを設けることも可能であり、SRAMを複数設けた場合には、複数のデータを保持することができるので、時間階調による階調表示を可能になる。

【0217】なお、本実施例の構成は、実施例1～実施\*

\*例9のいずれの構成とも自由に組み合わせて実施することが可能である。

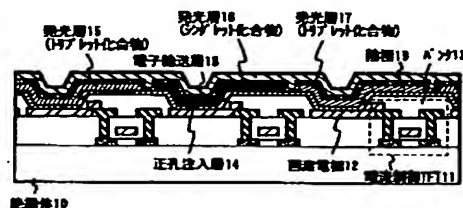
【0218】

【発明の効果】本発明を実施することにより、同一基板上に形成されたEL素子の発光輝度をそろえることが容易になり、さらに低電圧で輝度の高い発光が得られる低消費電力の発光装置を製造することができる。また、これらの発光装置を表示部に用いることで低消費電力化を実現した電気器具を提供することが可能となる。

#### 10 【図面の簡単な説明】

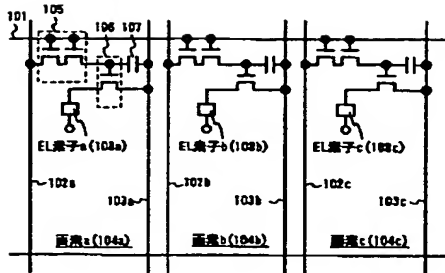
- 【図1】 発光装置を説明する図。
- 【図2】 EL素子の積層構造を説明する図。
- 【図3】 発光装置の製造工程を示す図。
- 【図4】 発光装置の製造工程を示す図。
- 【図5】 発光装置の製造工程を示す図。
- 【図6】 発光装置の上面構造および断面構造を示す図。
- 【図7】 EL素子の積層構造を示す図。
- 【図8】 EL素子の素子特性を示す図。
- 20 【図9】 EL素子の積層構造を示す図。
- 【図10】 EL素子の素子特性を示す図。
- 【図11】 EL素子の素子特性を示す図。
- 【図12】 発光装置の断面構造を示す図。
- 【図13】 発光装置の画素の回路構成を示す図。
- 【図14】 発光装置の断面構造を示す図。
- 【図15】 発光装置の画素の回路構成を示す図。
- 【図16】 発光装置の断面構造を示す図。
- 【図17】 発光装置の製造工程を示す図。
- 【図18】 発光装置の画素の回路構成を示す図。
- 30 【図19】 駆動回路外付け型発光装置の構造を示す図。
- 【図20】 コントローラー外付け型発光装置の構造を示す図。
- 【図21】 電気器具の具体例を示す図。
- 【図22】 電気器具の具体例を示す図。
- 【図23】 発光装置の上面および断面構造を示す図。
- 【図24】 発光装置の画素の回路構成を示す図。
- 【図25】 EL素子の素子特性を示す図。

【図12】

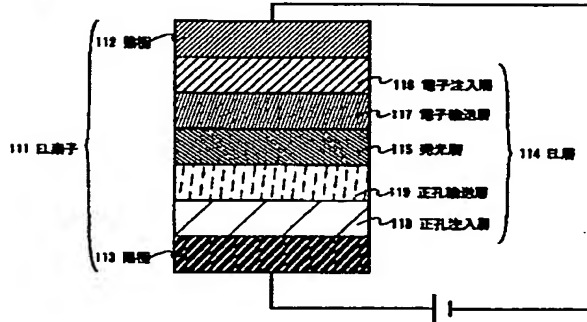


【図1】

(A)

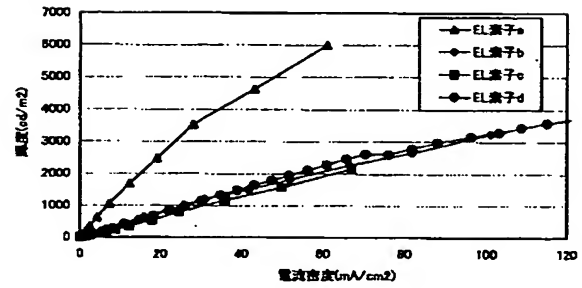


(B)

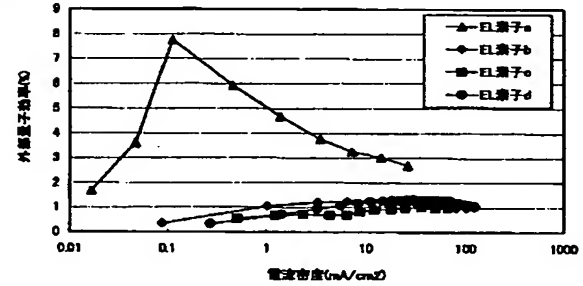


【図8】

(A)



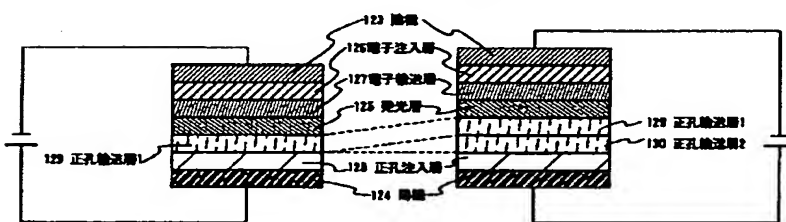
(B)



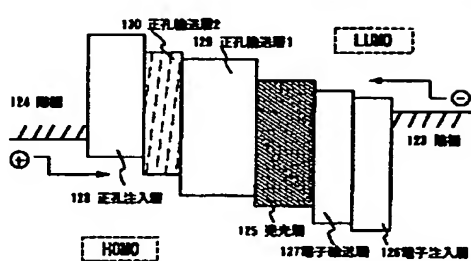
【図2】

(A)

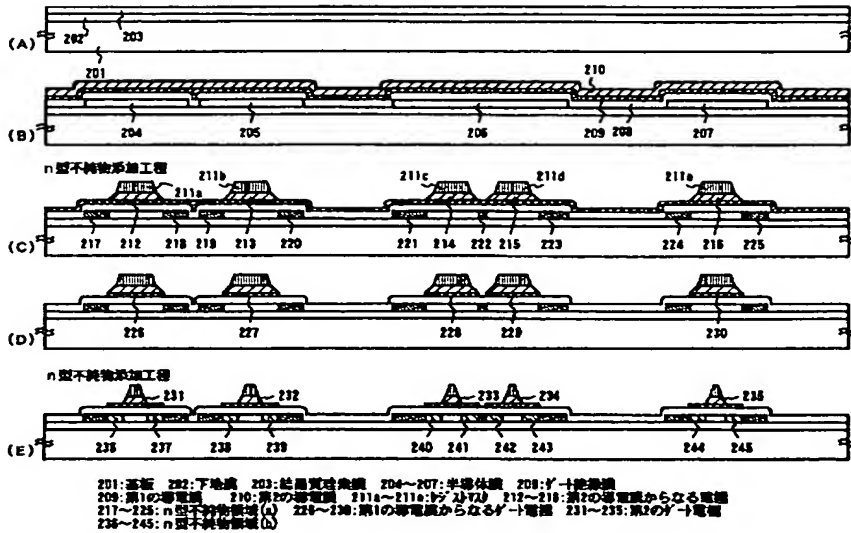
(B)



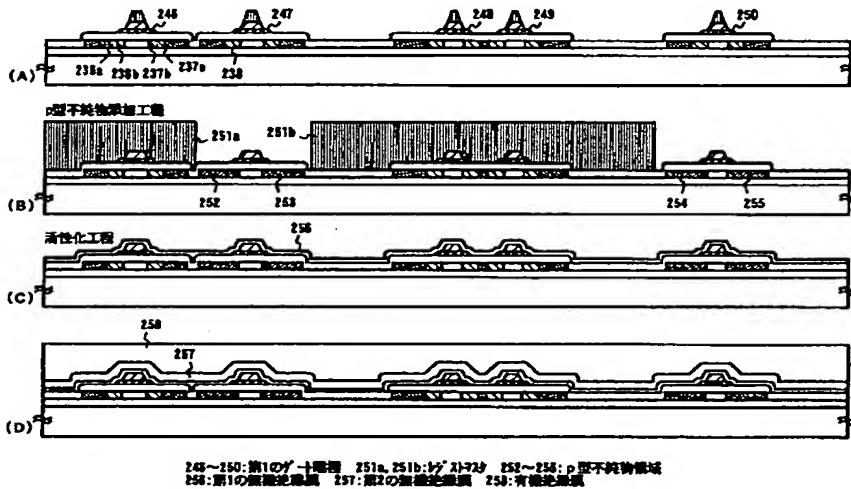
(C)



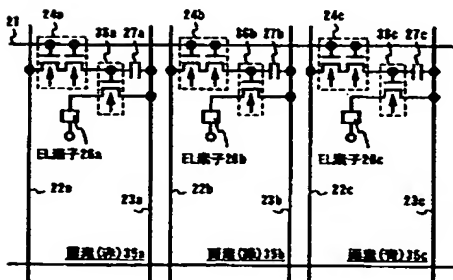
【図3】



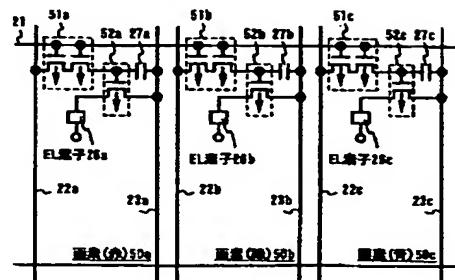
【図4】



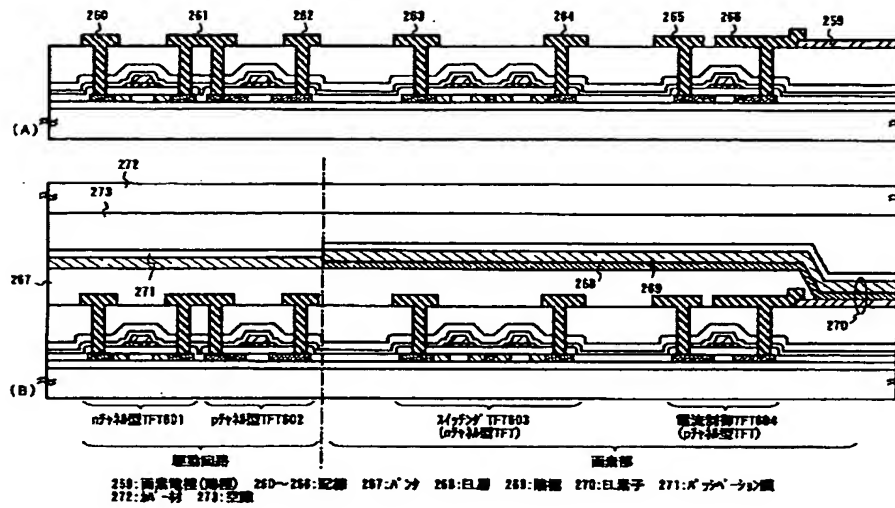
【図15】



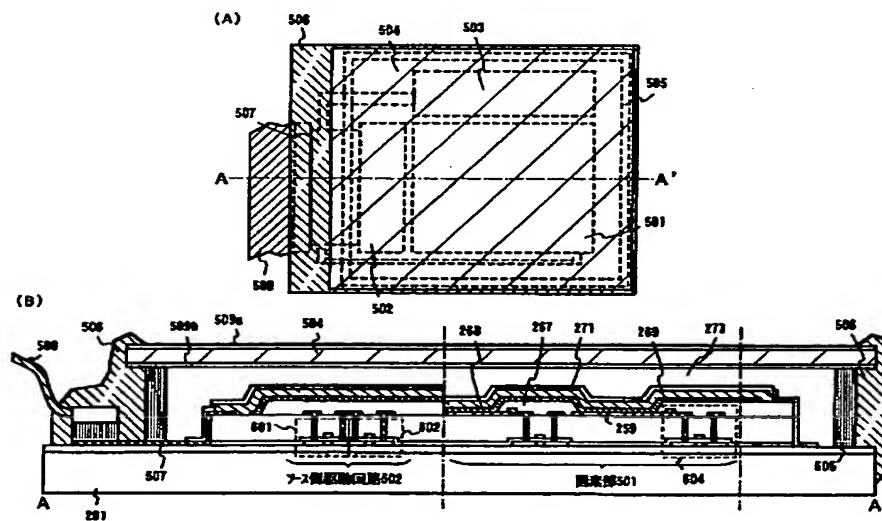
【図18】



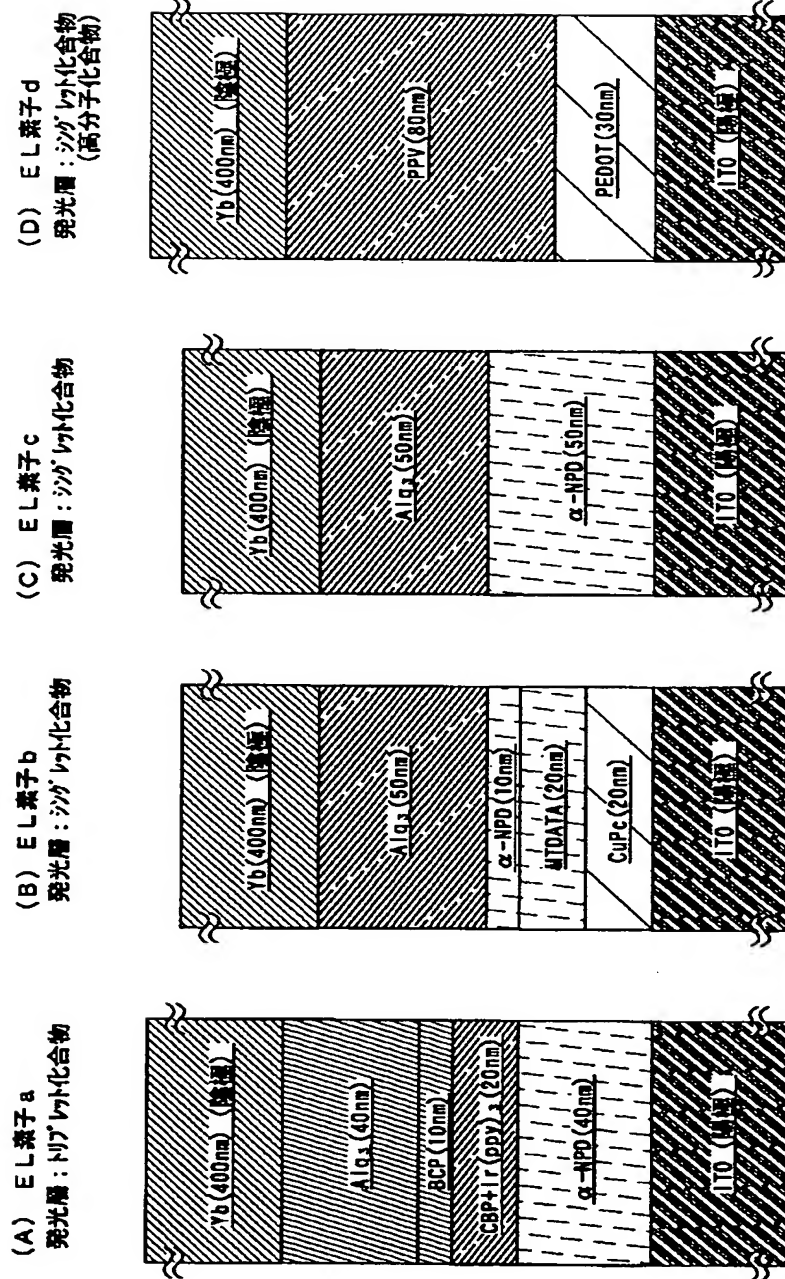
【図5】



【図6】

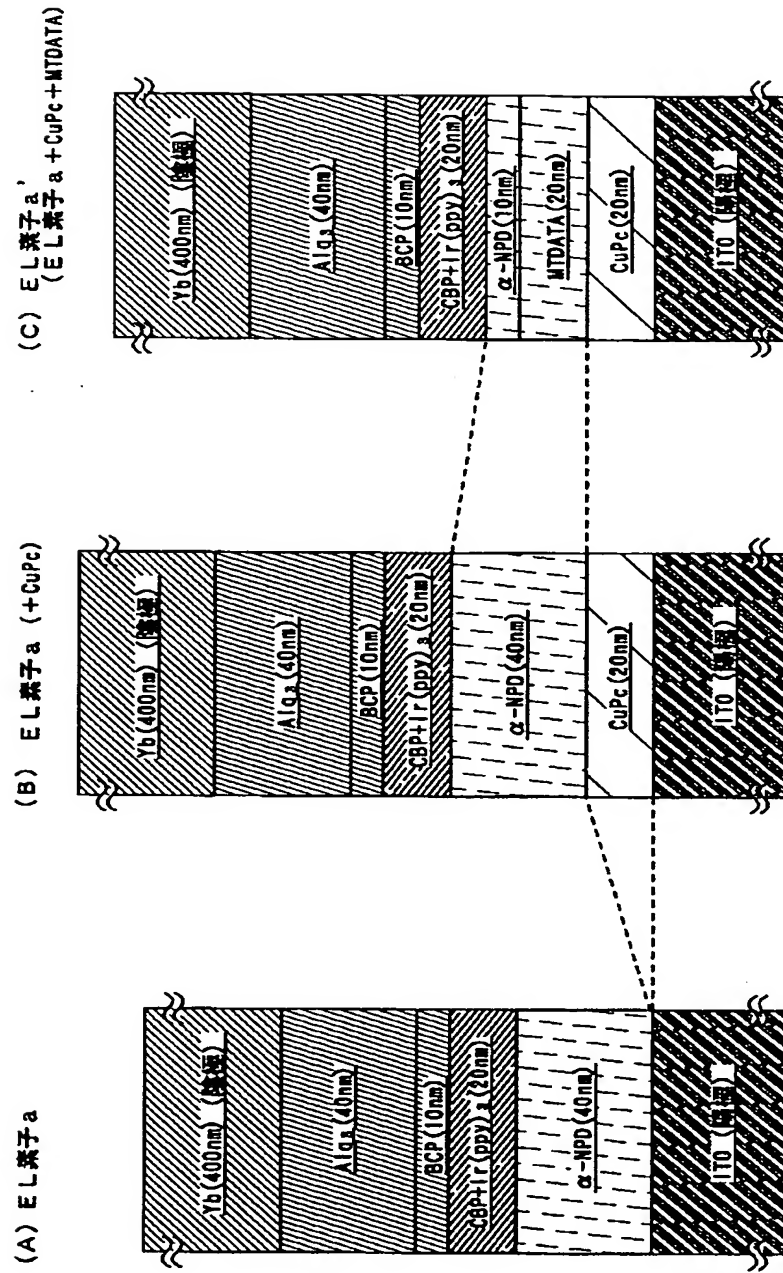


【図7】

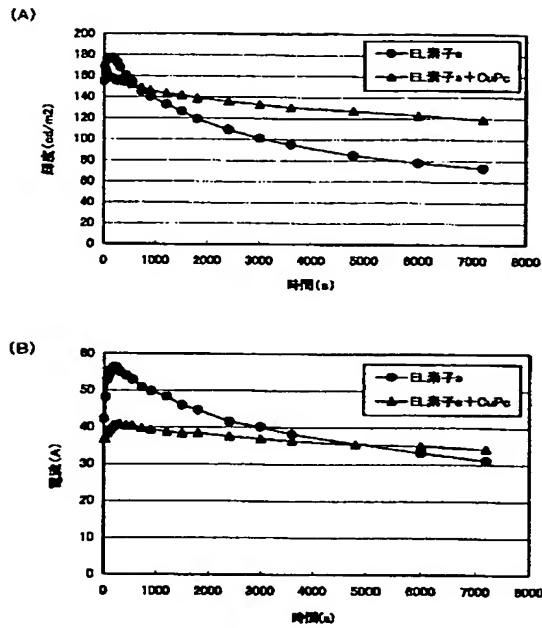




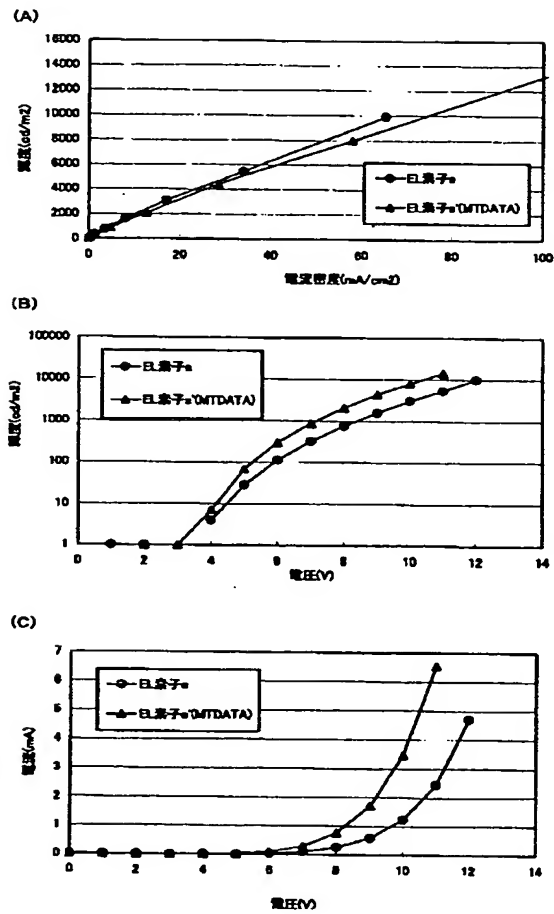
【図9】



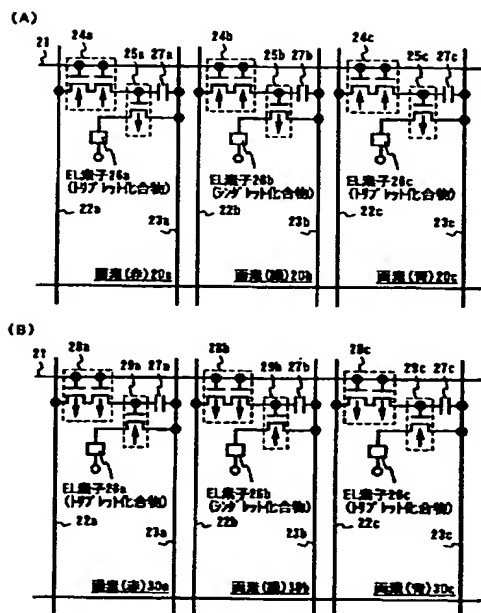
【図10】



【図11】



【図13】



【図24】

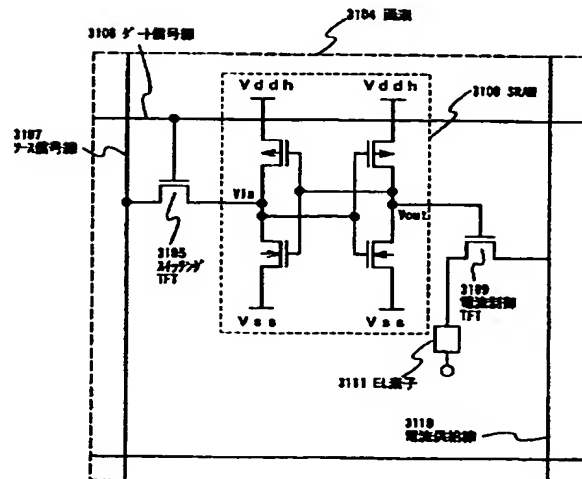
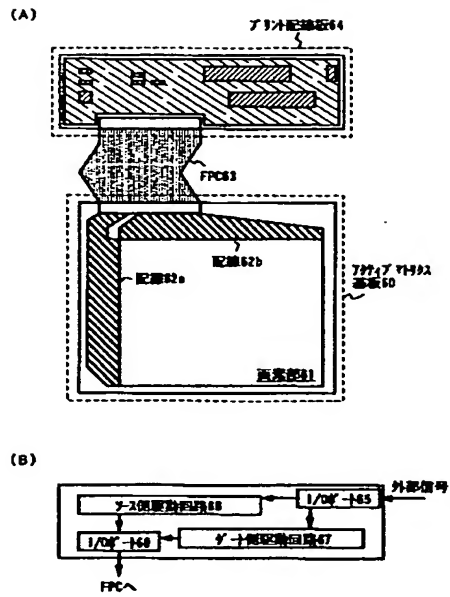


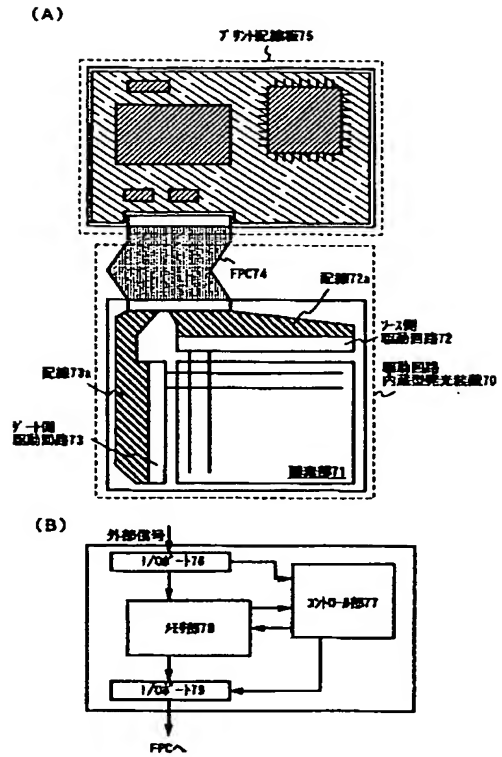
Figure 1 consists of two cross-sectional views, (a) and (b), of a semiconductor device. Both views show a substrate with a top layer 272, a middle layer 273, and a bottom layer 257. In view (a), a central region 271 contains a structure with two vertical pillars. Below this, a layer 4143a is shown with two regions 4443b and 42. In view (b), the top layer 272 and middle layer 273 are different, and the central region 271 contains a different structure. Below this, a layer 4143a is shown with two regions 4443b and 42. The diagram is labeled with various reference numerals and text in Japanese.

Figure 1 consists of three cross-sectional views (A, B, and C) of a semiconductor device, illustrating the formation of a P-type semiconductor layer. The substrate is labeled 200. In (A), a P-type layer 211a is formed on the substrate, and a P-type layer 211b is formed on top of 211a. In (B), a P-type layer 211c is formed on the substrate, and a P-type layer 211d is formed on top of 211c. In (C), a P-type layer 211e is formed on the substrate, and a P-type layer 211f is formed on top of 211e. The diagrams show the relationship between the P-type layers and the substrate, with various layers and regions labeled.

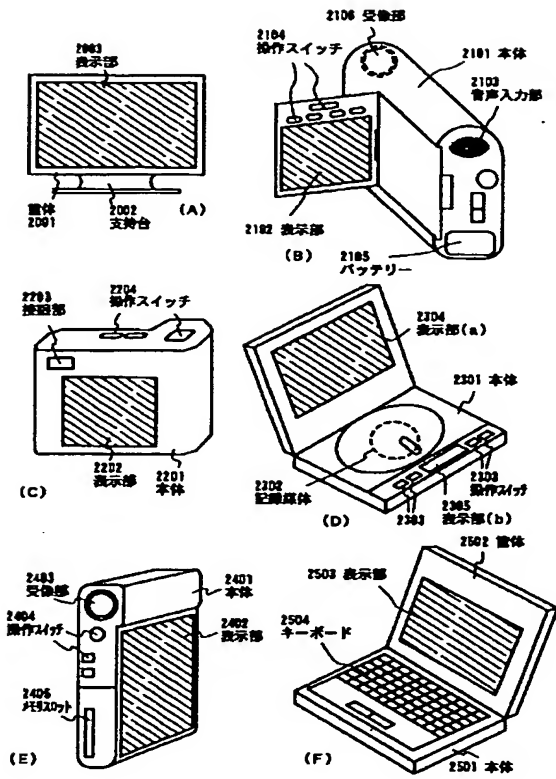
【図19】



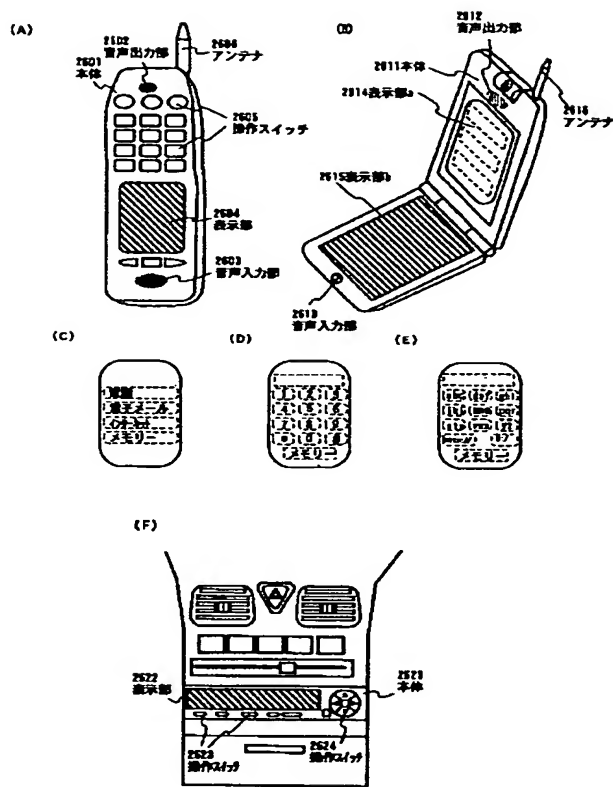
【図20】



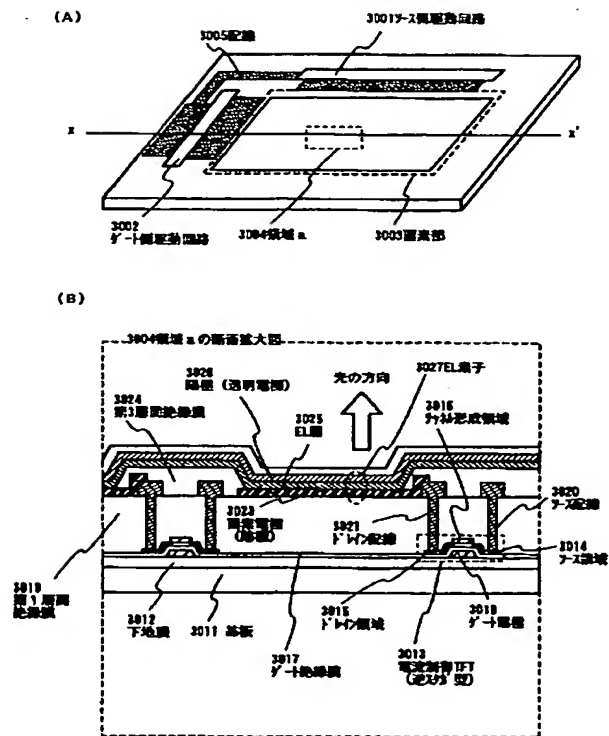
【図21】



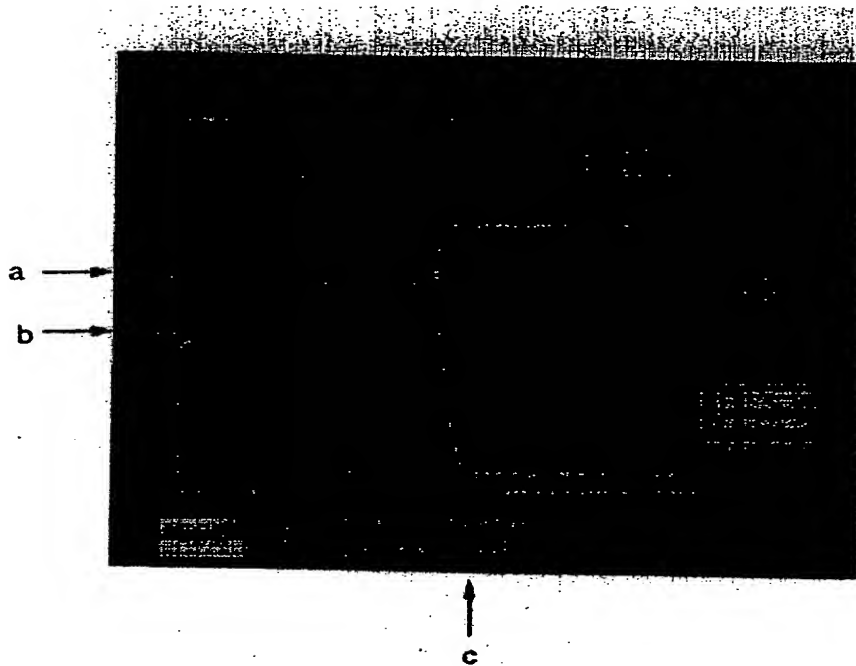
【図22】



【図23】



【図25】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 5 B 33/22		H 0 5 B 33/22	D
			Z

(72)発明者 池田 寿雄  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

F ターム (参考) 3K007 AB02 AB04 AB06 AB11 AB17  
BA06 BB01 BB05 CB01 DA01  
DB03 EB00 GA04  
5C094 AA07 AA08 AA22 AA24 BA03  
BA12 BA27 CA19 CA24 CA25  
DA09 DA13 DB01 DB02 DB04  
EA04 EA05 EA07 EA10 FA01  
FB01 FB12 FB14 FB15 FB20  
GA10 GB10 HA10



Partial Translation of JP 2002-151269 A

...omitted...

5 [0130] [Embodiment 3] Fig. 12 shows a cross-sectional structure of a pixel portion in an active-matrix light emitting device of the present embodiment. In Fig. 12, a reference numeral 10 denotes an insulator, 11 denotes a current control transistor(TFT) 604 of Fig. 5(B), 12 denotes a pixel electrode  
10 (anode), 13 denotes a bank, 14 denotes a well-known hole injection layer, 15 denotes a light emitting layer that emits red light, 16 denotes a light emitting layer that emits green light, 17 denotes a light emitting layer that emits blue light, 18 denotes a well-known electron transport layer, and 19  
15 denotes a cathode.

[0131] In this case of the present embodiment, a triplet compound is used for the red light emitting layer 15 and the blue light emitting layer 17, while a singlet compound is used for the green light emitting layer 16. In other words, an EL  
20 device employing the singlet compound is an EL device that emits green light, while an EL device employing said triplet compound is an EL device that emits red light and the one that emits blue light.

[0132] When a low-molecular organic compound is used for the  
25 light emitting layers, the life of the red light emitting layer

and that of the blue light emitting layer are now shorter than the life of the green light emitting layer. This is because both the red light emitting layer and blue light emitting layer have lower luminous efficiency, so that an operation voltage thereof should be set to a higher value in order to obtain the same luminance as that of the green light emitting layer, which accelerates the degradation of those light emitting layers.

[0133] In the present embodiment, however, since the triplet compound with higher luminous efficiency is used for the red light emitting layer 15 and blue light emitting layer 17, it is possible to set a uniform operation voltage while obtaining the same luminance as that of the green light emitting layer 16. This prevents an extreme acceleration of degradation in the red light emitting layer 15 and blue light emitting layer 17, and thus enables color display without any problems such as color shift. It is preferable to suppress the operation voltage to a low value also from the point of view that a margin of withstand voltage of transistors can be set to a low value.

[0134] While such an example is shown in the present embodiment that the triplet compound is used for the red light emitting layer 15 and blue light emitting layer 17, the triplet compound may also be used for the green light emitting layer 16.

...omitted...